

Министерство образования и науки Республики Казахстан

ВОСТОЧНО-КАЗАХСТАНСКИЙ ГОСУДАРСТВЕННЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
им.Д.Серикбаева

П.В.Селиванов

ИНТЕГРАЛЬНАЯ И МИКРОПРОЦЕССОРНАЯ СХЕМОТЕХНИКА

Методические указания к лабораторным работам
для студентов специальности 050716 «Приборостроение»

Усть-Каменогорск
2006

СОДЕРЖАНИЕ

Введение	4
1 Подготовка к работе, выполнение и оформления отчёта	5
2 Описание лабораторного стенда	6
3 Правила сборки схем и техника безопасности	8
4 Исследование логических элементов и схем Лабораторная работа № 1	9
5 Исследование мультиплексора Лабораторная работа № 2	15
6 Исследование дешифратора, демultipлексора и преобразователя кодов Лабораторная работа № 3	21
7 Исследование триггеров Лабораторная работа № 4	27
8 Исследование счётчиков Лабораторная работа № 5	36
9 Исследование регистров Лабораторная работа № 6	46
Список литературы	55
Приложение А Образец оформления титульного листа отчёта о лабораторной работе	56

ВВЕДЕНИЕ

Данные методические указания содержат лабораторные работы по цифровым устройствам для студентов специальности 050716. Но они могут быть также использованы и для других специальностей, в дисциплины которых входят затронутые в представленных лабораторных работах темы.

Каждая лабораторная работа имеет шесть разделов. В разделе «Краткие теоретические сведения» помещён материал, достаточный для выполнения, обработки полученных результатов и защиты лабораторной работы. В разделе «Порядок выполнения работы» содержится задание на подготовку и выполнение лабораторной работы. В разделе «Методические указания» приведены рекомендации по выполнению данной лабораторной работы. В разделе «Контрольные вопросы» находится примерный список вопросов, задаваемых при защите работы.

В зависимости от объёма изучаемой дисциплины задание по лабораторной работе может варьироваться, а время проведения лабораторной работы может быть и более 1 часа.

Список литературы одинаковый для всех лабораторных работ и приведен в конце настоящего сборника.

1 ПОДГОТОВКА К РАБОТЕ, ВЫПОЛНЕНИЕ И ОФОРМЛЕНИЕ ОТЧЁТА

Задание на лабораторную работу даётся индивидуально каждому студенту. Задания находятся в разделе «Варианты заданий». Прежде чем приступить к выполнению задания, необходимо внимательно изучить теорию, помещённую в разделе «Краткие теоретические сведения» и в соответствующей литературе, ознакомиться с описанием стенда, а также с методическими указаниями к конкретной лабораторной работе.

Выполнение лабораторной работы состоит из двух этапов: подготовка к лабораторному занятию и, собственно, выполнение лабораторной работы.

Подготовка к лабораторному занятию осуществляется дома и заключается в выполнении задания, помещённого в подразделе «Выполняется при подготовке к работе»

Выполнение лабораторной работы заключается в сборке заданных и разработанных дома схем, проверке правильности их работы, а также, при необходимости, обработке полученных результатов. Поэтому подраздел «Выполняется при подготовке к работе» необходимо выполнять дома тщательно, чтобы не терять время на занятии для доработки.

Отчет по лабораторной работе нужно оформлять на листах формата А4 отдельно для каждой работы с текстом на одной или обеих сторонах. Титульный лист оформляется в соответствии с принятым стандартом ВКГТУ. Образец титульного листа приведён в приложении А.

Протокол отчета подготавливается дома и обязательно должен включать в себя следующее: цель работы, схемы, таблицы, графики и т.д., заданные и разработанные при выполнении задания по подразделу «Выполняется при подготовке к работе». При выполнении лабораторной работы в протокол вносится информация, полученная при выполнении работы в соответствии с подразделом «Выполняется на лабораторном занятии». Отчет может содержать и другую информацию, которую студент считает нужным внести, кроме подсказки или ответа на контрольные вопросы .

Отчет должен быть выполнен аккуратно: все схемы, таблицы, графики нарисованы с применением чертежных инструментов и по существующим нормативным документам. Если эти требования не выполнены, отчет к защите не принимается.

После выполнения работы отчет предъявляется преподавателю для отметки о ее выполнении.

При отсутствии протокола отчета или неправильного его оформления студент к выполнению лабораторной работы не допускается.

Каждая лабораторная работа должна быть защищена. Защита заключается в ответе на вопросы, примерный перечень которых приведен в конце лабораторной работы .

2 ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

Все лабораторные работы, включенные в данный сборник, выполняются на одном лабораторном стенде. В комплект стенда входят: блок питания, испытательная панель, электронный вольтметр и соединительные проводники.

Общий вид испытательной панели показан на рисунке 2.1. Панель подключается к блоку питания с помощью кабеля, вилку которого необходимо вставить в розетку «Питание» панели. Блок питания включается с помощью тумблера.

На испытательной панели изображены: логические элементы 3И-НЕ, (номера 1...4), 2И-НЕ (номера 5...7), 2ИЛИ-НЕ (номер 8), динамические D-триггеры (номера 9...11), двоянный мультиплексор (номер 12), двоичные четырехразрядные счетчики (номера 13,14), четырехразрядный регистр (номер 17), одновибраторы (номера 15,16), набор элементов R,C. Сами элементы размещены на платах с внутренней стороны стенда, а их выводы подключены к гнездам.

Для генерации однократных импульсов на панели имеется кнопка S. При отжатой кнопке на гнездах \sqcup уровень сигнала 0, при нажатой кнопке – уровень сигнала 1. Имеется также внутренний генератор импульсов, выходом которого является гнездо \sqcup . Период следования импульсов этого генератора можно менять ручкой «Тн».

Разъем X1 служит для изменения режима работы и выбора параметров различных элементов. Это осуществляется с помощью установки переключателей между верхним и нижним контактами. Разъем позволяет также осуществлять связь с другими испытательными панелями.

Семисегментный индикатор НГ, в зависимости от положения переключателей на разъеме X1, может отображать шестнадцатеричный код двоичной комбинации, находящейся на выходах счетчиков и других элементов. Имеется также режим, когда каждым сегментом можно управлять отдельно, подавая соответствующие сигналы на гнезда А...Г.

На гнездах \perp находится потенциал 0, и на гнездах +5В – напряжение 5 В.

К выходу каждого элемента подсоединен светодиод, который фиксирует состояние этого выхода.

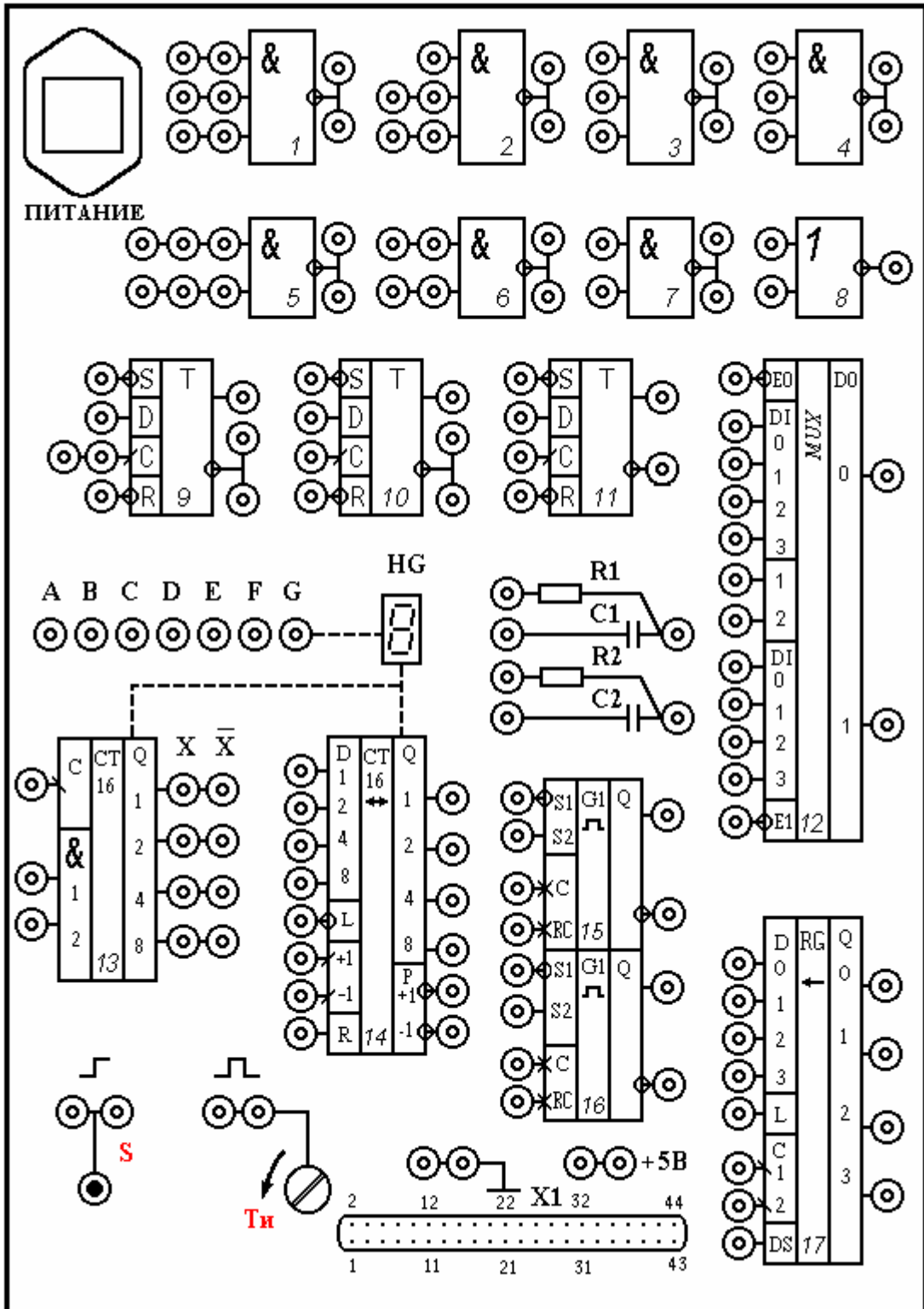


Рисунок 2.1. Испытательная панель

3 ПРАВИЛА СБОРКИ СХЕМ И ТЕХНИКА БЕЗОПАСНОСТИ

Сборка схем производится с помощью проводников, которые соединяют выводы элементов в соответствии с собираемой схемой. Для подключения выхода элемента к нескольким входам у некоторых элементов входы и выходы имеют несколько гнезд. Также для этих целей можно использовать проводники с несколькими ответвлениями.

При разработке и сборке схем необходимо знать следующее.

Нельзя объединять выходы элементов между собой.

Если вход элемента ни к чему не подключен, на нем автоматически устанавливается уровень 1.

Для подачи на вход элемента уровня 1 можно соединить его с выходом неиспользуемого элемента, установив на нем уровень 1. Гнездо +5В для этих целей использовать нельзя. Для уменьшения количества проводников и упрощения сборки схем рекомендуется входы, на которые необходимо подать уровень 1, оставлять подключенными.

Для подачи на вход элемента уровня 0, нужно соединить его с выходом неиспользуемого элемента, установив на нем уровень 0 или соединить его с гнездом \perp .

Состояние выхода элемента показывает светодиод. Если он светится, то на выходе уровень 1, если нет – то уровень 0.

При соблюдении этих правил схему можно собрать и корректировать, как при выключенном источнике питания, так и включенном.

Сигналы на вход собранной схемы можно подавать с помощью ручной коммутации проводниками, с помощью кнопки S и внутреннего генератора или использовать свободные элементы. Наиболее удобный и рациональный способ подачи входных сигналов для конкретной лабораторной работы указан в ее разделе «Методические указания».

Специальных мер безопасности при работе со стендом принимать не нужно. Максимально возможное напряжение на стенде в нормальном состоянии 15В. Перед началом цикла лабораторных работ студент должен быть ознакомлен с общими правилами техники безопасности при проведении лабораторных работ на кафедре «Приборостроение и автоматизация технологических процессов».

4 ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ И СХЕМ

Лабораторная работа № 1

4.1 Цель работы

Ознакомление с логическими элементами, реализующими основные логические функции и формирование навыков анализа и синтеза простых логических схем.

4.2 Краткие теоретические сведения

Любое логическое выражение, составленное из n переменных с помощью конечного числа операций алгебры логики можно рассматривать, как функцию n переменных. Переменные чаще всего обозначаются символом “ X ”, а функция или $-f(X_n \dots X_1)$ или $f(\nu)$, где $\nu = (X_n \dots X_1)$ - совокупность переменных X . Переменных может быть сколько угодно много.

Логическая функция и ее переменные могут принимать только два значения, которые часто обозначают “0” и “1”. В электрических схемах состоянию “0” соответствует низкий уровень напряжения, а состоянию “1” - высокий уровень.

Логическая функция может быть задана словесно, аналитическим выражением и таблицей истинности. Самым понятным способом задания является таблица истинности, в которой рассмотрены все возможные комбинации переменных и соответствующие им значения функции.

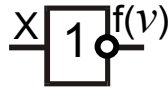
Устройства, реализующие функции алгебры логики называются логическими элементами (ЛЭ). Многие из них выпускаются в интегральном исполнении. Рассмотрим часто встречающиеся ЛЭ для двух переменных. Выпускаются ЛЭ и для большего числа переменных, но и с помощью двухвходовых ЛЭ можно реализовать функцию любого числа переменных, используя операции композиции.

Таблица истинности, условное графическое обозначение и аналитическая форма записи для ЛЭ представлены на рисунках 1.1 ... 1.6.

Логический элемент НЕ (рисунок 4.1) реализуют функцию логического отрицания. Функция принимает значение обратное значению переменной. Поэтому этот ЛЭ еще называют инвертором.

Логический элемент И (рисунок 4.2) реализует функцию логического умножения (конъюнкцию). Функция принимает значение “1”, когда все переменные равны “1”.

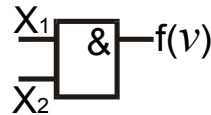
X	f(v)
0	1
1	0



$$f(v) = \bar{X}$$

Рисунок 4.1. Элемент НЕ

X ₂	X ₁	f(v)
0	0	0
0	1	0
1	0	0
1	1	1

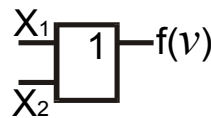


$$f(v) = X_1 \cdot X_2$$

Рисунок 4.2. Элемент И

Логический элемент ИЛИ реализует функцию логического сложения (дизъюнкцию). Функция принимает значение “1”, если хотя бы одна из переменных равна “1”.

X ₂	X ₁	f(v)
0	0	0
0	1	1
1	0	1
1	1	1



$$f(v) = X_1 \vee X_2$$

Рисунок 4.3. Элемент ИЛИ

Логический элемент И-НЕ реализует функцию логического умножения с отрицанием. Функция принимает значение “0” (не “1”), когда все переменные равны “1”.

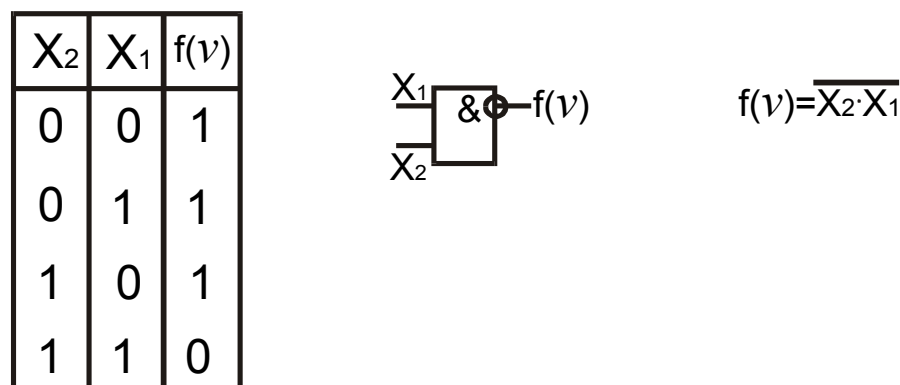


Рисунок 4.4. Элемент И-НЕ

Логический элемент ИЛИ-НЕ реализует функцию логического сложения с отрицанием. Функция принимает значение “0” (не “1”), если хотя бы одна переменная равна “1”.

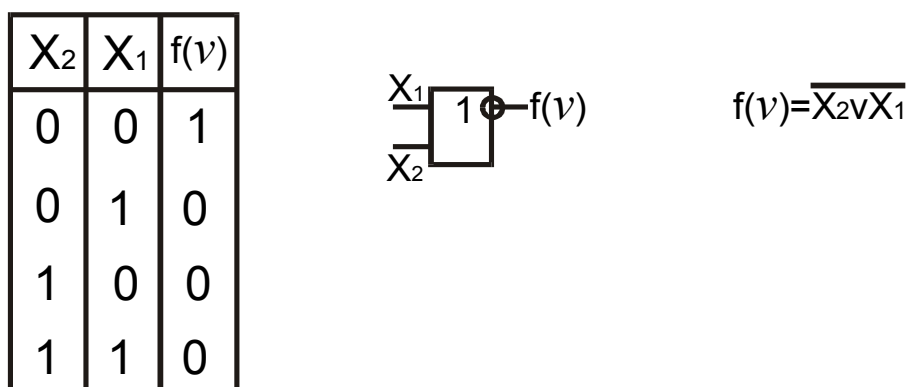


Рисунок 4.5. Элемент ИЛИ-НЕ

Логический элемент “сумма по модулю 2” (рисунок 4.6 а) осуществляет операцию, определяющуюся по правилам арифметического сложения двоичных чисел. Функция принимает значение “1”, если число переменных, имеющих значение “1”, нечетное.

Логический элемент “исключающее ИЛИ” (рисунок 4.6 б) реализует функцию, которая принимает значение “1”, когда только лишь одна переменная равна единице.

X_2	X_1	$f(v)$
0	0	0
0	1	1
1	0	1
1	1	0

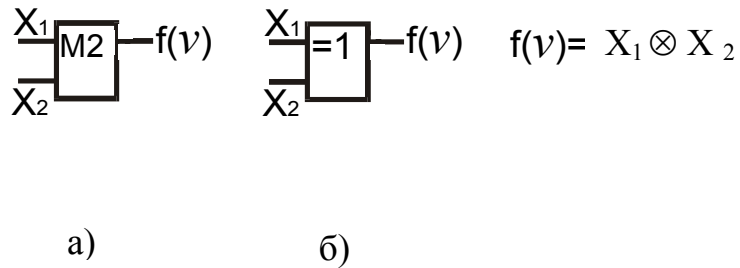


Рисунок 4.6

Аналитическая форма записи для них одинаковая, но функции совпадают только для двух переменных!

Перед тем, как реализовать логическую функцию с помощью ЛЭ, нужно попытаться ее упростить. Это делается с помощью законов и тождеств алгебры логики. Вот некоторые из них

$$\begin{array}{lllll}
 X \vee \bar{X} = 1 & X \vee X = X & X \vee 0 = X & X \vee 1 = 1 & \bar{\bar{X}} = X \\
 X \cdot \bar{X} = 0 & X \cdot X = X & X \cdot 0 = 0 & X \cdot 1 = X &
 \end{array}$$

К логическим функциям применимы также сочетательный и распределительный законы

$$\begin{array}{ll}
 X_3 \vee (X_2 \vee X_1) = X_2 \vee (X_3 \vee X_1) & X_3 \cdot (X_2 \vee X_1) = X_3 \cdot X_2 \vee X_3 \cdot X_1 \\
 X_3 \cdot (X_2 \cdot X_1) = X_2 \cdot (X_3 \cdot X_1) & X_3 \cdot (X_2 \cdot X_1) = X_2 \cdot X_3 \cdot X_1 \\
 X_3 \vee (X_2 \vee X_1) = X_3 \vee X_2 \vee X_1 &
 \end{array}$$

Набор ЛЭ, с помощью которого можно реализовать сколь угодно сложную функцию, называется функционально полным или базисом. Например, ЛЭ И, ИЛИ, НЕ составляют базис. Имеются базисы, которые содержат только один ЛЭ. Это ЛЭ И-НЕ или ИЛИ-НЕ. Базис из элементов И-НЕ более популярен. Схема, составленная с использованием ЛЭ И, ИЛИ, НЕ удобнее для чтения, но схема, реализованная в базисе, состоящим из одного элемента, имеет часто меньше корпусов микросхем ЛЭ.

При переходе к базису И-НЕ или ИЛИ-НЕ используют правило де Моргана

$$\overline{X_2 \vee X_1} = \bar{X}_2 \cdot \bar{X}_1 \qquad \overline{X_2 \cdot X_1} = \bar{X}_2 \vee \bar{X}_1$$

Для практического использования более удобны формулы:

$$X_2 \vee X_1 = \overline{\bar{X}_2 \cdot \bar{X}_1} \qquad X_2 \cdot X_1 = \overline{\bar{X}_2 \vee \bar{X}_1}$$

Правило де Моргана можно распространить на любое число переменных с помощью законов композиции.

4.3 Порядок выполнения работы

4.3.1 Выполняется при подготовке к лабораторной работе

а) Ознакомиться с описанием лабораторного стенда и сборкой схем.

б) Выразить функции И, ИЛИ, ИЛИ-НЕ, М2 для двух переменных и функцию НЕ в базисе И-НЕ, и привести их схемную реализацию с помощью ЛЭ 2И-НЕ.

в) Для функции, заданной индивидуально, составить таблицу истинности. Выразить эту функцию в базисе И-НЕ и разработать схему для ее реализации с помощью ЛЭ 2И-НЕ (ЛЭ 3И-НЕ можно использовать только, если для реализации функции требуется больше 7 элементов 2И-НЕ).

г) Заготовить протокол отчета, в который внести таблицы истинности, схемы, аналитические выражения для функций из подпунктов б) и в).

4.3.2 Выполняется на лабораторном занятии

а) Собрать на испытательной панели поочередно схемы, разработанные в подпункте 4.3.1 в) и экспериментально проверить их соответствие таблицам истинности, которые заполнены по аналитическим выражениям.

4.4 Варианты заданий

$$1) \overline{\overline{(X_1 \vee \overline{X_4} \cdot X_2)}} \vee X_4 \cdot X_3$$

$$3) \overline{X_2 \cdot X_1} \vee (X_4 \vee \overline{X_3} \vee X_1)$$

$$5) (X_2 \vee X_1) \cdot X_3 \vee \overline{(X_4 \vee X_3)} \cdot X_1$$

$$7) X_4 \cdot X_3 \cdot \overline{X_2 \cdot X_1} \vee X_3 \cdot X_1$$

$$9) X_4 \cdot \overline{X_3} \vee \overline{X_2} \cdot X_1 \vee \overline{X_4} \cdot X_3 \cdot X_2$$

$$11) X_4 \cdot \overline{X_3} \cdot \overline{X_1} \vee \overline{X_2} \cdot X_1$$

$$13) \overline{(X_2 \vee X_1)} \cdot (X_4 \vee \overline{X_3} \vee X_2)$$

$$15) (X_3 \vee \overline{X_2}) \cdot X_4 \cdot X_1$$

$$17) (X_4 \vee \overline{X_3} \vee X_2) \cdot X_1$$

$$19) (X_4 \vee \overline{X_3} \vee X_2) \cdot (\overline{X_3} \vee \overline{X_2} \vee X_1)$$

$$21) X_2 \cdot (X_2 \vee \overline{X_1}) \cdot \overline{(X_4 \vee X_3)}$$

$$23) X_3 \cdot \overline{(X_2 \vee X_1)} \vee X_4 \cdot \overline{(X_3 \cdot X_2)}$$

$$25) X_2 \cdot X_1 \vee X_3 \cdot X_5 \vee X_4 \cdot \overline{X_3} \vee \overline{\overline{X_4} \vee X_1}$$

$$27) X_4 \vee \overline{X_3} \cdot X_1 \vee \overline{X_2} \cdot \overline{X_1}$$

$$29) X_4 \cdot (X_4 \vee \overline{X_3}) \cdot (X_3 \vee X_2 \vee X_1)$$

$$2) X_4 \cdot \overline{X_3} \vee \overline{(X_2 \cdot X_1 \vee X_2)}$$

$$4) \overline{X_4 \cdot X_3} \cdot X_2 \cdot (\overline{X_1} \vee X_2)$$

$$6) (X_2 \vee X_1) \cdot X_3 \cdot \overline{X_4} \cdot X_2$$

$$8) \overline{X_3} \vee \overline{X_2} \vee X_4 \vee X_3 \cdot \overline{X_1}$$

$$10) X_4 \cdot \overline{X_3} \cdot X_2 \vee \overline{\overline{X_4} \cdot \overline{X_3} \cdot \overline{X_2} \cdot \overline{X_1}}$$

$$12) X_4 \cdot \overline{X_3} \cdot X_2 \cdot \overline{X_1} \vee \overline{X_2} \cdot X_1$$

$$14) X_2 \cdot \overline{X_1} \vee \overline{(X_3 \cdot X_2 \vee X_4 \cdot X_3)}$$

$$16) (X_2 \vee \overline{X_1}) \cdot (X_3 \vee \overline{X_2}) \cdot \overline{(X_4 \vee X_3)}$$

$$18) X_4 \cdot X_3 \cdot \overline{(X_2 \vee X_1)} \vee \overline{X_3} \cdot X_2$$

$$20) X_1 \vee X_3 \cdot X_2 \vee \overline{X_4} \cdot X_3 \cdot X_2$$

$$22) (X_3 \vee X_2 \cdot X_1) \vee \overline{(X_4 \vee X_3 \cdot X_2)}$$

$$24) \overline{\overline{X_4} \cdot \overline{X_3}} \vee \overline{X_2} \cdot X_1$$

$$26) \overline{(X_2 \vee X_1)} \cdot \overline{(X_3 \vee X_2)} \vee X_4$$

$$28) (X_4 \vee X_2 \cdot X_1) \cdot \overline{X_4} \cdot \overline{X_3} \cdot X_2$$

$$30) (X_4 \cdot \overline{X_3} \cdot X_2) \cdot \overline{(X_4 \vee X_3 \vee X_1)}$$

4.5 Методические указания

Трехвходовой элемент 3И-НЕ можно использовать, как двухвходовой, оставив один вход не подключенным.

Для преобразования функции более двух переменных и для реализации ее с помощью ЛЭ 2И-НЕ следует применять законы композиции и правило де Моргана, рассмотренные в кратких теоретических сведениях.

Таблицу истинности лучше заполнять таким образом, чтобы номер строки соответствовал двоичному числу, которое составляет комбинация значений переменных, помещенных в эту строку. Младший разряд соответствует переменной X_1 и далее по возрастанию индекса. Двоичное число, как и десятичное, читается слева направо. Нумерация строк начинается с 0 и эта строка помещается вверху таблицы.

Для перебора различных сочетаний переменных удобно использовать счетчик К155ИЕ5 (номер 13). Чтобы счетчик работал, необходимо на один из его входов R (&) подать “0” (лучше использовать гнезда \perp), а вход С соединить с гнездом \sqcap .

Для сброса счетчика в “0” (на всех выходах при этом устанавливается “0”) необходимо на обоих входах R(&) установить “1”. При каждом отпускании кнопки S (после ее нажатия), двоичное число, записанное в счетчике, увеличивается на 1. Переменные $X_1...X_4$ берутся с выходов счетчика, обозначенных X, а инверсные значения $\bar{X}_1...X_4$ с выходов обозначенных \bar{X} . Переменная X_1 берется с выхода обозначенного “1”, переменная X_2 - с выхода, обозначенного “2” и т.д. в порядке возрастания индекса. В этом случае сочетания переменных будут следовать подряд, как они размещены в таблице истинности.

4.6 Контрольные вопросы

- 4.6.1 Какая функция называется логической и как можно её задать?
- 4.6.2 Как перейти от логического сложения к умножению и наоборот?
- 4.6.3 Дайте определение основным логическим функциям.
- 4.6.4 Какие наборы функций составляют базис?
- 4.6.5 Определите выражение логической функции по заданной схеме.
- 4.6.6 По выражению логической функции начертите схему на ЛЭ.
- 4.6.7 Как влияет неподключенный вход на значение функции у различных ЛЭ?
- 4.6.8 Определите значение функции при заданных значениях переменных.
- 4.6.9 Сколько различных комбинаций переменных у ЛЭ с заданным количеством входов?
- 4.6.10 Написать аналитическое выражение функции с СДНФ или СКНФ для заданной таблицы истинности.

5 ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРА

Лабораторная работа № 2

5.1 Цель работы

Ознакомление с принципом работы мультиплексора и формирование навыков синтеза логических схем на его основе.

5.2 Краткие теоретические сведения

Мультиплексором называется комбинационная логическая схема, которая имеет n адресных входов, 2^n информационных входов и один выход. В такой схеме на выход передается сигнал с того информационного входа, номер которого в двоичном коде выражает комбинация, поданная на адресные входы.

Алгоритм работы мультиплексора описывается уравнением

$$f(v) = \bigvee_{i=0}^{2^n-1} D_i \cdot K_i(v),$$

где D_i - сигнал на i -ом информационном входе;

K_i - i -ый минтерм (i - номер минтерма, совпадающий с номером информационного входа);

i - номер информационного входа;

n - количество адресных входов.

Например, для мультиплексора с одним адресным и двумя информационными входами (обозначается $2 \rightarrow 1$) уравнение будет иметь вид

$$f(v) = D_0 \cdot \overline{x} \vee D_1 \cdot x \quad (5.1)$$

В уравнении (5.1) переменные, подаваемые на информационные входы, обозначены буквой D , а на адресные входы буквой x . На основании этого уравнения можно изобразить схему из ЛЭ, реализующую такой мультиплексор.

В настоящее время выпускается много различных мультиплексоров в интегральном исполнении. Рассмотрим сдвоенный мультиплексор $4 \rightarrow 1$ типа К155КП2. Его условное обозначение показано на рисунке 5.1.

Адресные входы обозначены A и являются общими для обоих мультиплексоров. Информационные входы обозначены $DI0.0 \dots DI0.3$ и $DI1.0 \dots DI1.3$, выходы обозначены $DO0$ и $DO1$. Входы $E0$ и $E1$ являются входами разрешения передачи информации на выход. Активный уровень сигнала - нулевой.

При единичном уровне сигнала на входе E0 (E1), на выходе D0 (D1) устанавливается нулевой уровень вне зависимости от уровня сигналов на других входах, т.е. вход разрешения имеет приоритет. Алгоритм работы такого мультиплексора описывается уравнением

$$f(v) = \bar{E} \bigvee_{i=0}^{2^n-1} D_i \cdot K_i(v)$$

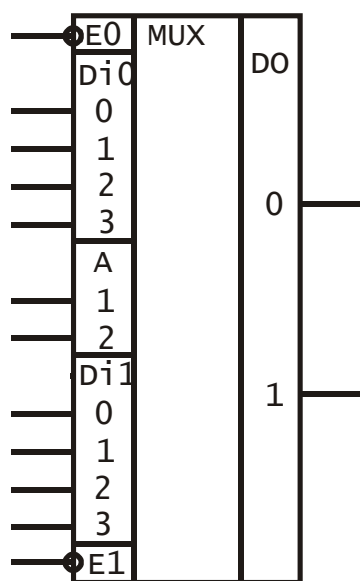


Рисунок 5.1

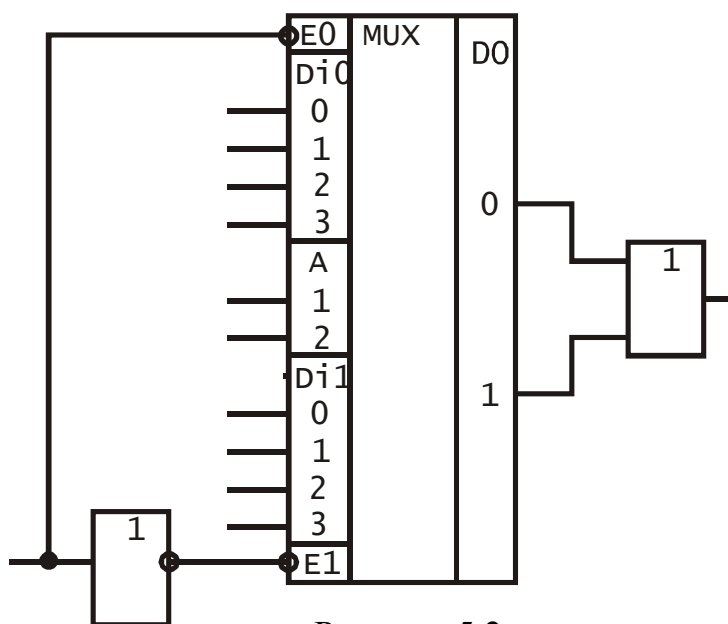


Рисунок 5.2

На базе сдвоенного мультиплексора 4→1 можно реализовать мультиплексор 8→1, используя входы разрешения, как адресные. Схема такого мультиплексора показана на рисунке 5.2.

Мультиплексор можно рассматривать, как универсальный ЛЭ, т.к. на его базе можно синтезировать любую логическую функцию. Если число переменных не больше числа адресных входов, то переменные подаются на адресные входы, а значения функции (0 или 1) на соответствующие информационные входы. Если число переменных больше числа адресных входов, то часть переменных подается на информационные входы и во многих случаях через логическую схему.

Применение мультиплексора вместо отдельных ЛЭ при реализации функции часто позволяет уменьшить число используемых корпусов микросхем и повысить быстродействие. Повышение быстродействия достигается за счет прохождения сигнала через меньшее число элементов.

Рассмотрим пример синтеза логической схемы для трех переменных на базе мультиплексора 4→1 типа К155КП2. Пусть функция задана таблицей истинности на рисунке 5.3.

Число переменных больше числа адресных входов, поэтому надо выбрать, какие переменные подавать на адресные входы. Оптимальный вариант получается, когда на адресные входы подаются переменные, встречающиеся в минимальном выражении функции наибольшее число раз. В нашем случае $f(v) = \overline{x_2} \cdot \overline{x_1} \vee \overline{x_3} \cdot \overline{x_1}$, поэтому на адресные входы следует подать переменные x_1 и x_2 (или x_3). Когда нет однозначности, надо рассмотреть несколько вариантов и выбрать лучший, т.е. тот, в котором на адресные входы подается наибольшее число констант (0 или 1). Но в рассмотренном примере для наглядности решения на адресные входы подаем переменные x_2 и x_3 . Разбиваем таблицу истинности на области, в которых переменные, поданные на адресные входы не меняются.

X_3	X_2	X_1	$f(v)$
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Рисунок 5.3

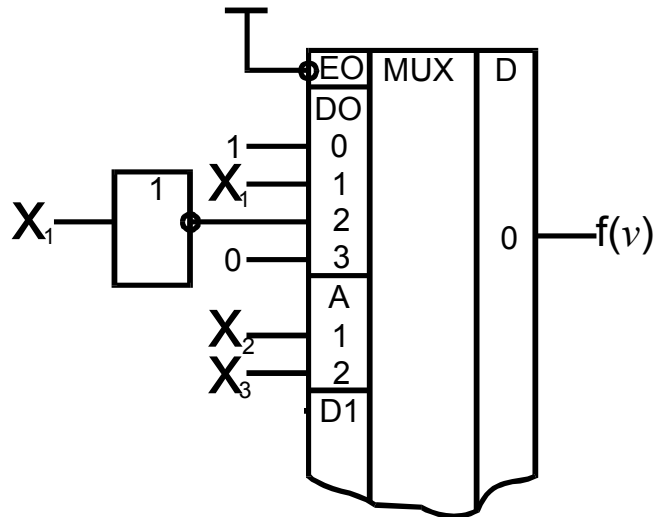


Рисунок 5.4

Каждая такая область соответствует информационному входу, номер которого определяется комбинацией адресных переменных этой области. Разбиение на области для рассматриваемой функции показано на рисунке 5.3 пунктиром.

Верхняя область соответствует входу D0 т.к. комбинация адресных переменных $\overline{x_3} \overline{x_2}$ (00). Из таблицы видно, что в этой области функция равна 1 и не зависит от x_1 . Потому на вход D0 надо подать 1. В следующей области видно, что функция равна x_1 , поэтому на вход D1 надо подать x_1 . В следующей области функция равна $\overline{x_1}$ и на вход D2 подается $\overline{x_1}$. В последней области функция не зависит от x_1 и равна 0, значит на вход D3 подается 0.

В общем случае можно считать, что на информационный вход подается некоторая функция, зависящая от переменных, не поданных на адресные входы. Эту функцию можно определить по карте Карно, составленной для данного информационного входа.

В рассматриваемом примере эта функция переменной x_1 и для информационного входа D0 карта Карно выглядит, как показано на рисунке 5.5.

x_1		1
		1

Рисунок 5.5

Из нее следует, что $f(v) = 1$. Аналогично можно получить функции и для других информационных входов.

Такой метод применяется, когда число переменных на два и больше превосходит число адресных входов.

Схемная реализация рассматриваемой функции показана на рисунке 5.4. Инвертор можно построить на второй половине мультиплексора, используя только один корпус микросхемы.

Для реализации этой же функции на ЛЭ, в базисе И-НЕ, требуется два корпуса микросхем: три ЛЭ 2И-НЕ и три инвертора.

Мультиплексор, как функциональное устройство, применяется в качестве коммутатора цифровых сигналов, т.е. для передачи информации от нескольких приемников к одному источнику; может использоваться для преобразования параллельного кода в последовательный; применяется в качестве цифровых ключей (некоторые мультиплексоры КМОП могут работать как аналоговые ключи) и т.д.

5.3 Порядок выполнения работы

5.3.1 Выполняется при подготовке к лабораторной работе.

а) Ознакомиться с описанием лабораторного стенда и правилами сборки схем.

б) Разработать схему мультиплексора $3 \rightarrow 1$ со входом разрешения, используя базис И-НЕ и применяя трехвходовые элементы.

в) Изучить работу сдвоенного мультиплексора $4 \rightarrow 1$ К155КП2 и составить для одной его половины сокращенную таблицу истинности.

г) Разработать на базе мультиплексора $8 \rightarrow 1$, полученного из сдвоенного мультиплексора $4 \rightarrow 1$ К155КП2 (смотри рисунок 5.2), схему реализации

функции, заданной индивидуально. Составить для нее таблицу истинности. Варианты задания помещены в лабораторной работе № 1.

д) Заготовить отчет, в который внести аналитические выражения, таблицы истинности и схемы, разработанные в подпунктах б)...г)

5.3.2 Выполняется на лабораторном занятии.

а) Исследовать работу мультиплексора К155КП2 и проверить соответствие таблицы истинности опытным данным.

б) Собрать на ЛЭ разработанную схему мультиплексора $3 \rightarrow 1$ и проверить правильность её работы.

в) Собрать схему, разработанную в подпункте 5.3.1.г) и проверить соответствие табличных значений функции экспериментальным.

г) Защитить отчет у преподавателя.

5.4 Методические указания

Сокращенная таблица истинности содержит меньшее количество строк, чем полная. Ее составляют, когда число переменных велико и полная таблица получается громоздкой и неудобочитаемой.

Для составления сокращенной таблицы истинности используют следующие правила: если при определенном значении одной или нескольких переменных функция (или функции, если выходов несколько) зависит однозначно от этой (или этих) переменных, а от остальных не зависит, то в клетке, соответствующей этой (этим) переменным составят ее (их) обозначение, а в остальных клетках переменных знак «X»; если функция принимает значение какой-то переменной при одинаковых значениях других переменных, то в клетке, соответствующей этой переменной ставят букву D(d) (или \bar{D} , если вход инверсный).

x_2	x_1	f
0	0	0
0	1	0
1	0	0
1	1	1

x_2	x_1	f
0	X	0
1	0	0
1	1	1

x_2	x_1	f
0	X	0
1	D	D

Рисунок 5.6

Например, заполним сокращенную таблицу истинности для функции 2И. Если одна из переменных (пусть x_2) имеет значение 0, то вне зависимости от второй переменной функция равна 0. Если переменная $x_2 = 1$, то функция зависит от x_1 и принимает значение x_1 , т.е. при $x_1=0$ $f(v) = 0$. Эволюция преобразова-

ния полной таблицы в сокращенную показана на рисунке 5.6.

Для получения прямых значений функции, собранной на мультиплексоре надо подключить выход элемента 2 ИЛИ-НЕ к инвертору.

При переборе всех значений функции использовать счетчик К155ИЕ5, как это указано в пункте 4.5 лабораторной работы №1.

Входы мультиплексора, на которые подается 1 можно оставить неподключенными.

5.5 Контрольные вопросы

5.5.1 Объясните принцип работы мультиплексора.

5.5.2 Нарисуйте схему реализации заданной функции на мультиплексоре.

5.5.3 Используя мультиплексоры с числом информационных входов m , разработайте схему мультиплексора, имеющего $2m$ информационных входов, если у используемых мультиплексоров: есть высокоомное состояние выхода; есть вход разрешения; нет ни того, ни другого.

5.5.4 Определить значение выходного сигнала мультиплексора при заданных входных.

5.5.5 Как нужно соединить входы сдвоенного мультиплексора К155КП2, чтобы получить два независимых мультиплексора $2 \rightarrow 1$?

5.5.6 Составить сокращенную таблицу истинности заданной функции.

5.5.7 По сокращенной таблице истинности восстановить полную.

6 ИССЛЕДОВАНИЕ ДЕШИФРАТОРА, ДЕМУЛЬТИПЛЕКСОРА И ПРЕОБРАЗОВАТЕЛЯ КОДОВ

Лабораторная работа № 3

6.1 Цель работы

Ознакомление с принципом работы дешифраторов и демультимплексоров. Формирование навыков синтеза преобразователей кодов.

6.2 Краткие теоретические сведения

Дешифратор - это комбинационная схема, имеющая n входов и 2^n выходов. В такой схеме активный уровень сигнала устанавливается только на том выходе номер, которого в двоичном коде выражает комбинация, поданная на входы. Поэтому входы часто называют адресными. Уравнения, описывающие работу дешифратора, имеют вид

$$f(v)_i = K_i(v), \quad (6.1)$$

где i - номер выхода

K_i - i -ый минтерм (конъюнкция n переменных, равная единице только при комбинации входных переменных, выражающих номер i -го выхода в двоичном коде).

Уравнение (6.1) описывает состояние одного выхода, поэтому число уравнений равно числу выходов. Количество выходов может быть меньше 2^n . В этом случае дешифратор является неполным. Например, дешифратор 1×2 (произносится 1 в 2) имеет один вход и два выхода. Функции, выражающие работу такого дешифратора, имеют вид

$$f(v)_0 = \bar{x}; \quad f(v)_1 = x.$$

Многие дешифраторы имеют дополнительный вход, который называют разрешающим. При активном уровне сигнала на этом входе дешифратор работает, как обычно. При неактивном уровне сигнала - на всех выходах устанавливается не активный сигнал вне зависимости от сигналов на адресных входах. При этом дешифратор реализует функцию

$$f(v)_i = E \cdot K_i(v),$$

где E - сигнал на входе разрешения.

Если вход разрешения считать информационным, то такой дешифратор будет выполнять функцию демультимплексора.

Демультимплексор - это комбинационная схема, имеющая один информационный вход, n адресных входов и 2^n выходов. Демультимплексор выполняет операцию обратную той, которую выполняет мультиплексор, т.е. передает сигнал с входа на тот выход, номер которого в двоичном коде выражает комбинация, поданная на адресные входы. Функция, реализуемая демультимплексором, имеет вид

$$DO_i = DI \cdot K_i(v),$$

где DO_i - сигнал на i -ом выходе;

DI - сигнал на информационном входе;

$K_i(v)$ - минтерм, определяющий номер выхода, на который передается информация со входа.

Например, демультимплексор $1 \rightarrow 2$ (произносится 1 на 2) имеет один информационный вход, один адресный вход и два выхода. Функции, определяющие его работу, имеют вид

$$DO_0 = DI \cdot \bar{X};$$

$$DO_1 = DI \cdot X.$$

Дешифраторы выпускаются в интегральном исполнении. Те, которые имеют вход разрешения, называются дешифраторами -демультимплексорами. Их можно использовать как в том, так и в другом качестве. Обычно у микросхем серии ТТЛ для входа разрешения и выхода уровень активного сигнала - низкий (нулевой).

Рассмотрим двойной дешифратор - демультимплексор 531ИД14, который может работать, как дешифратор 2×4 и, как демультимплексор $1 \rightarrow 4$. Условное графическое изображение одного дешифратора - демультимплексора показано на рисунке 6.1.

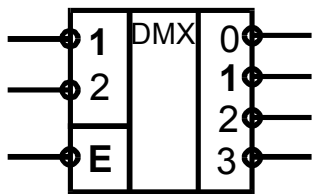


Рисунок 6.1

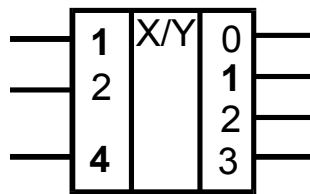


Рисунок 6.2

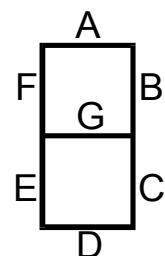


Рисунок 6.3

Для работы в режиме дешифратора на входе E подается 0. В режиме демультимплексора на вход E подается информация, а на адресные входы двоичная комбинация определяющая номера выхода, на который необходимо передать информацию.

Дешифраторы и демультиплексоры применяются при построении микропроцессорных и информационно - измерительных систем, для выбора объекта в системах управления, в качестве распределителей информационных сигналов и синхроимпульсов, для демультиплексирования данных и т.д.

Дешифратор является частным случаем комбинационных схем, называемых преобразователями кодов. Преобразователь кодов - это комбинационная схема, имеющая n входов и k выходов, и у которой каждой входной комбинации переменных соответствует определенная выходная комбинация переменных. Соотношение между n и k может быть любым. Существуют преобразователи кодов двоичного в двоично-десятичный, двоичного в код для управления семисегментным индикатором и др. Дешифратор можно рассматривать, как преобразователь двоичного кода в унитарный. Условное графическое обозначение произвольного преобразователя кодов показано на рисунке 6.2.

При синтезе преобразователя кодов из отдельных ЛЭ функции задаются для каждого выхода таблицей истинности и минимизируются совместно таким образом, чтобы число одинаковых склеек было возможно большим. При этом преобразователь кодов будет реализован с меньшим числом ЛЭ.

6.3 Порядок выполнения работы

6.3.1 Выполняется при подготовке к работе.

а) Ознакомиться с описанием лабораторного стенда и правилами сборки схем.

б) Составить таблицу истинности для дешифратора 2×4 со входом разрешения.

в) Используя таблицу истинности, разработать схему дешифратора 2×4 со входом разрешения в базисе И-НЕ и применяя трехвходовые элементы.

г) Разработать схему преобразователя кодов, с помощью которого можно было бы последовательно отображать на семисегментном индикаторе четыре символа, заданные индивидуально. Варианты заданий даны на рисунке 6.4.

д) Заготовить отчет, в который внести аналитические выражения, таблицы истинности и схемы, разработанные в подпунктах б)...г).

6.3.2 Выполняется на лабораторном занятии.

а) Собрать на ЛЭ схему дешифратора 2×4 со входом разрешения и проверить соответствие выходных сигналов таблице истинности.

б) Рассмотреть работу собранного дешифратора в качестве демультиплексора.

в) Собрать схему преобразователя кодов разработанную в подпункте 6.3.1.г) и проверить правильность его работы.

г) Защитить отчет у преподавателя.



Рисунок 6.4 – Варианты заданий

6.4 Методические указания

Переменные для входа дешифратора и преобразователя кодов брать с выходов счетчика. В качестве инверторов для адресных переменных применить ЛЭ 2И-НЕ с номером 5 и 6.

Для размножения переменных можно использовать входные и выходные гнезда ЛЭ или проводники с ответвлениями. Сигнал, подаваемый на вход разрешения удобно брать с выхода неиспользуемого ЛЭ 2И-НЕ (при этом светодиод показывает его уровень).

При синтезе преобразователя кодов составляется таблица истинности для каждого сегмента (часть таблицы, где задаются комбинации переменных может быть общей). Функция равна 1, если сегмент должен светиться и 0, если не должен светиться. Для отображения четырех символов достаточно двух переменных, т.е. синтезируемый преобразователь должен иметь два входа и семь выходов.

По таблицам истинности заполняется карта Карно для каждого сегмента и функции минимизируют таким образом, чтобы число одинаковых склеек было как можно большим. Затем записывают аналитические выражения функций в базисе И-НЕ и по ним составляют схемы на ЛЭ. Для реализации схемы, которая содержит более двух ЛЭ рациональнее использовать мультиплексор К155КП2, имеющиеся на стенде.

Обозначение сегментов индикатора показано на рисунке 6.3. Выводом сегмента является гнездо, обозначенное той же буквой. Его можно подключать к выходу любого элемента (буфер находится внутри стенда). При необходимости подать на сегмент 1, его вывод можно оставить неподключенным. Для подачи 0 можно использовать гнездо \perp или выход ЛЭ, где установлен 0.

Для переключения индикатора в режим управления сегментами с гнезда А...G необходимо на разъемах X1 установить переключку между контактами 5 и 6.

6.5 Контрольные вопросы

6.5.1 Объясните принцип работы дешифратора.

6.5.2 Какую функцию выполняет в дешифраторе вход разрешения?

6.5.3 Объясните принцип работы демультимплексора.

6.5.4 Используя дешифратор с числом входов n , разработайте дешифратор с заданным числом входов (больше чем n), если у дешифраторов: есть вход разрешения; нет входа разрешения, применяя при необходимости дополнительные ЛЭ.

6.5.5 Используя демультимплексор с числом адресных входов n , разработайте демультимплексор с заданным числом адресных входов больше чем n .

6.5.6 Определите значения выходных сигналов дешифратора при заданных входных.

6.5.7 Определите значения входных сигналов дешифратора при заданных выходных.

6.5.8 Какая схема называется преобразователем кодов и как её разработать?

6.5.9 Разработайте схему заданного преобразователя кодов.

6.5.10 Определите значение выходных сигналов демультиплексора при заданных входных.

7 ИССЛЕДОВАНИЕ ТРИГГЕРОВ

Лабораторная работа №4

7.1 Цель работы

Изучение работы различных триггеров и формирование навыков их синтеза.

7.2 Краткие теоретические сведения

Триггером называется логическая схема, имеющая два устойчивых состояния и способная оставаться в одном из них заданное время. Состояние триггера определяется как единичное или нулевое.

Триггеры относятся к классу логических схем, которые называются последовательностными или цифровыми автоматами. В таких схемах значение выходных сигналов зависит не только от комбинации входных переменных, но и от последовательности изменения этих комбинаций. Это говорит о том, что последовательностная схема должна иметь память. Можно также сказать, что в таких схемах значение выходных сигналов зависит и от комбинации входных переменных и от значений самих выходных сигналов в момент времени, предшествующий изменению комбинации входных переменных.

По характеру реакции на входные сигналы логические схемы делятся на асинхронные и синхронные.

У асинхронных схем выходные сигналы меняются непосредственно после изменения входных (спустя время внутренней задержки).

У синхронных логических схем изменение выходных сигналов связано с состоянием дополнительного входа, который называется входом синхронизации или тактовым. Сигнал на этом входе задает момент приема информации. И в зависимости от того, какой параметр этого сигнала влияет на изменение информации на выходе, синхронные схемы разделяют на статические и динамические.

Статические схемы в промежуток времени, когда на синхронизирующем входе активный уровень сигнала, функционируют, как асинхронные. При изменении уровня сигнала с активного на неактивный информация, находящаяся в этот момент на выходе, запоминается и будет храниться до нового появления активного уровня на синхронизирующем входе. Про такие схемы говорят, что они “прозрачны” во время активного уровня сигнала на синхронизирующем входе.

Динамические схемы “не прозрачны” при любом уровне сигнала на синхронизирующем входе. Информация на выходе у них может изменяться только в момент смены сигнала на этом входе с низкого уровня на высокий (0,1- отрицательный перепад), либо с высокого уровня на низкий (1,0 положи -

тельный перепад)

Триггеры являются простейшими последовательными схемами. Их выходы (как и других последовательных схем) обозначаются буквой Q. Обычно триггеры имеют два выхода: прямой Q и инверсный \bar{Q} . Сигналы на этих выходах взаимно противоположны.

В уравнениях и таблицах истинности состояние выхода в момент, предшествующий изменению входных сигналов (в том числе и на синхронизирующем входе), обозначают Q, а момент после изменения какого-либо входного сигнала Q^+ .

S	R	Q^+
0	0	Q
0	1	0
1	0	1
1	1	×

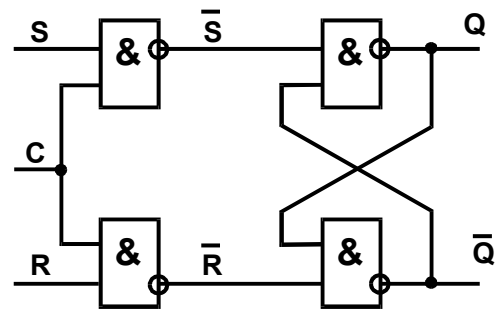
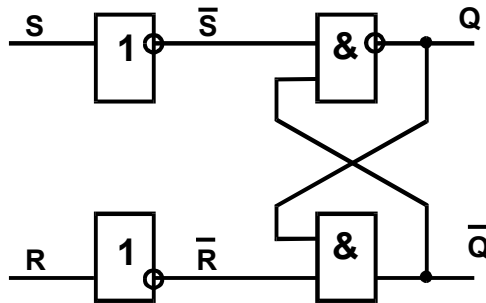


Рисунок 7.1 а)

Рисунок 7.1 б)

Рисунок 7.1 в)

Самым простым по схемному исполнению среди триггеров является асинхронный RS-триггер. Он имеет два информационных входа: S-установка единицы и R-установка нуля (сброс). Алгоритм работы такого триггера представлен упрощенной таблицей истинности на рисунке 7.1.а). Комбинация $S=0, R=0$ отражает режим хранения информации. Комбинация $R=1, S=1$ является не рабочей (запрещенной), т.к. в случае перевода триггера после такой комбинации в режим хранения он с равной вероятностью может установиться, как в 1, так и в 0. Это зависит от того, какой вход выиграет “гонку”. Поэтому в схеме должны быть приняты меры, исключающие подачу на вход такой комбинации (например, формировать короткие информационные импульсы). По полной таблице истинности можно составить уравнение RS-триггера. После минимизации и перевода в базис И-НЕ оно имеет вид

$$Q^+ = \overline{\overline{S} \cdot \overline{Q} \cdot \overline{R}} \quad (7.1)$$

Схема, составленная по уравнению (7.1), показана на рисунке 7.1 б). Если в этой схеме убрать инверторы, то она будет проще и для её реализации потребуется всего два ЛЭ 2И-НЕ. Получится триггер с инверсным управлением, у которого информационные сигналы имеют противоположное значение тем, что указаны в таблице на рисунке 7.1 а). Триггер с прямым управлением тоже можно построить на двух ЛЭ по аналогичной схеме, используя элементы 2ИЛИ-НЕ.

Асинхронные RS-триггеры выпускаются в интегральном исполнении, но чаще их собирают из отдельных ЛЭ.

На базе RS-триггеров строят более сложные триггеры, которых имеется большое разнообразие. Для этого к RS-триггеру, который называют базовой ячейкой памяти, добавляют схему управления и дополнительные RS-триггеры.

Входы таких триггеров можно разделить на три группы в зависимости от роли сигналов, которые на них поступают. Информационные входы определяют информацию, которая будет записана в триггер. Синхронизирующие входы определяют момент приёма и записи информации (чаще всего их обозначают буквой “С”). Управляющие входы выполняют вспомогательные функции: разрешение работы, предустановка, перевод в высокоомное состояние и т.д. Такое разделение распространяется и на другие последовательностные схемы. Синхронизирующий и управляющий входы могут отсутствовать.

Асинхронный RS-триггер легко превратить в синхронный статический, используя вместо инверторов ЛЭ 2И-НЕ, как показано на рисунке 7.1 в). Когда на входе С высокий уровень сигнала, элементы 2И-НЕ открыты и триггер работает, как асинхронный. Когда на входе С низкий уровень, элементы 2И-НЕ закрыты и информационные сигналы не влияют на состояние выхода.

У синхронного JK-триггера, в отличие от RS-триггера, нет запрещенной комбинации. Алгоритм его работы представлен упрощенной таблицей истинности на рисунке 7.2 а).

J	K	Q ⁺
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

Рисунок 7.2 а)

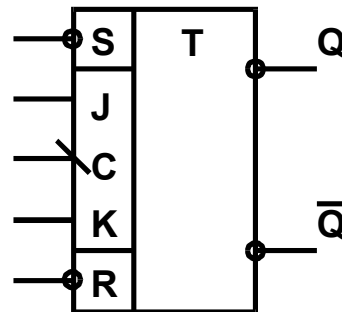


Рисунок 7.2 б)

Этот триггер имеет информационные входы J-(установка1), K-(установка 0), синхронизирующий вход С, управляющие асинхронные входы S и R. Условное обозначение такого триггера показано на рисунке 7.2 б). Триггер срабатывает по перепаду 1,0. При J=1 и K=1 информация на выходе меняется на противоположную.

Уравнение, описывающее работу JK-триггера

$$Q^+ = J\bar{Q} \vee \bar{K}Q \quad (7.2)$$

На базе этого триггера можно построить много различных триггеров, поэтому его называют универсальным триггером. Например, подавая на входы J, K, C нули и, используя входы S и R, как информационные получим асинхронный RS-триггер.

В интегральном исполнении выпускаются только динамические JK-триггеры.

Широко используется другой тип синхронного триггера – D-триггер. Он имеет два входа - информационный D и синхронизирующий C.

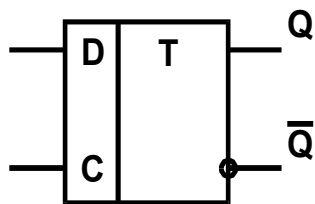


Рисунок 7.3 а)

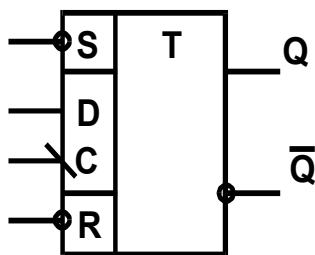


Рисунок 7.3 б)

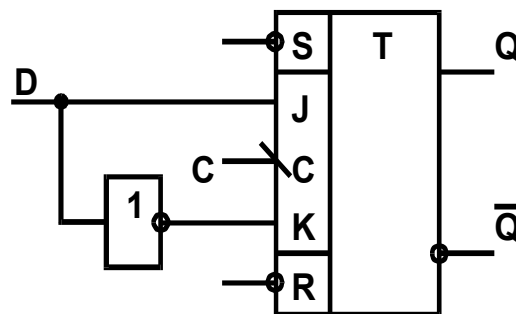


Рисунок 7.3 в)

Статический D-триггер функционирует по следующему алгоритму. При активном уровне сигнала на синхронизирующем входе C (чаще всего это высокий уровень) информация со входа D передается на выход. При неактивном уровне сигнала на синхронизирующем входе состояние выхода не меняется при изменении информационного сигнала. На выходе будет сохраняться та информация, которая была на входе D в момент смены сигнала на синхронизирующем входе с активного на неактивный. Условное обозначение такого триггера показано на рисунке 7.3 а). Он выпускается в интегральном исполнении. В литературе его иногда называют триггер “защелка”.

Другая разновидность D-триггера – динамический D-триггер. Алгоритм его работы следующий. В момент отрицательного (положительного) перепада на синхронизирующем входе C сигнал с информационного входа D переписывается на выход и хранится там до следующего отрицательного (положительного) перепада. Полярность перепада зависит от внутренней схемы и указывается в описании триггера и на его условном обозначении.

Уравнение работы динамического D-триггера

$$Q^+ = D \quad (7.3)$$

D-триггер можно построить на базе JK-триггера. Для этого надо положить, что $J = \bar{K} = D$. Если это подставить в уравнение (7.2), то получится выражение (7.3). Схемная реализация показана на рисунке 7.3 в). Динамические D-триггеры выпускаются в интегральном исполнении. Примером может служить микросхема K155TM2. Она содержит два независимых D-триггера, управля-

емых перепадом 0,1. У каждого из них есть асинхронные инверсные входы установки S и R , которые имеют приоритет перед другими входами.

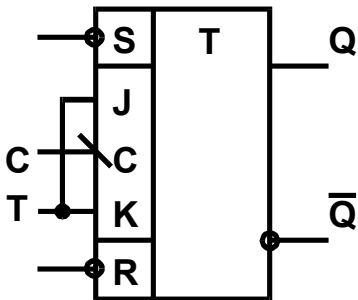


Рисунок 7.4 а)

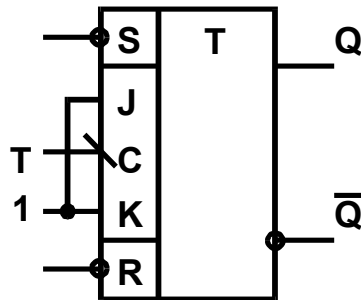


Рисунок 7.4 б)

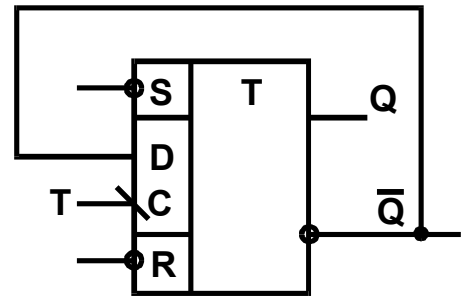


Рисунок 7.4 в)

В делителях частоты и счетчиках используется Т-триггеры. В интегральном исполнении они не выпускаются, т.к. легко могут быть созданы из JK- и D-триггеров. Если в уравнении (7.2) положить $J=K=T$, получится выражение

$$Q^+ = T\bar{Q} \vee \bar{T}Q \quad (7.4)$$

которое описывает работу Т-триггера. У него информационным входом будет объединенный J и K , который обозначают буквой Т. Т-триггеры бывают синхронные и асинхронные.

Алгоритм работы синхронного Т-триггера. Если в момент перепада 1,0 (0,1) на синхронизирующем входе, на информационном входе Т сигнал высокого уровня, выходной сигнал меняет свой уровень на противоположный, а если на информационном входе сигнал низкого уровня, то выходной сигнал не меняется. Схемная реализация синхронного Т-триггера на базе JK-триггера показана на рисунке 7.4 а)

У асинхронного Т-триггера всего один вход, который обозначают Т. Триггер еще называют “счетным”. Он работает следующим образом. При появлении переключающего перепада 1,0 (0,1) на входе Т уровень выходного сигнала изменяется на противоположный. Асинхронный Т-триггер можно получить из JK-триггера, подав на входы J и K единицу, а синхронизирующий вход С считать информационным Т. Получится схема, показанная на рисунке 7.4 б). Асинхронный Т-триггер также получится, если у динамического D-триггера выход \bar{Q} соединить со входом D , а на вход С подавать информацию. Схема такого триггера представлена на рисунке 7.4 в). Уравнение асинхронного триггера можно получить из (7.2), полагая $J = K = 1$ или из (7.3), полагая $D = \bar{Q}$. В обоих случаях оно имеет вид

$$Q^+ = \bar{Q}$$

Из всех рассмотренных триггеров самым быстродействующим является асинхронный RS-триггер. Синхронные RS и D-триггеры уже менее быстродействующие, т.к. сигналы проходят большее число элементов. Наименьшим быстродействием обладают динамические JK и D-триггеры. Но у асинхронных триггеров есть большой недостаток - они не свободны от "гонок" и имеют низкую помехоустойчивость. В этом отношении динамические J и K-триггеры имеют преимущество, т.к. у них сбой может возникнуть, если помеха появится лишь в момент переключающего перепада.

У статических триггеров помеха может попадать с входа на выход, когда на синхронизирующем входе уровень сигнала активный. У некоторых динамических триггеров, которые переключаются перепадом 1,0, при единичном уровне сигнала на входе С, при определенных условиях некоторые помехи тоже проникают на выход или запоминаются во входной цепи, а в момент перепада на входе С влияют на выходной сигнал. Поэтому у таких триггеров запрещается изменение сигналов на информационных входах при единичном уровне сигнала на синхронизирующем входе.

В цифровых схемах триггеры, как самостоятельные элементы, используются для хранения полученных от логических схем сигналов. Они входят, как составная часть, в любой цифровой автомат. На их основе строят многие, как типовые (счетчики, делители частоты, регистры, формирователи импульсов и т.д.), так и не типовые функциональные узлы.

7.3 Порядок выполнения работы

7.3.1 Выполняется при подготовке к работе.

- а) Ознакомиться с описанием лабораторного стенда и правилами сборки схем.
- б) По словесному описанию работы статического D-триггера, составить его таблицу истинности. Используя её, вывести уравнение статического D-триггера, свободного от гонок. Составить его схему на элементах И-НЕ.
- в) По заданным индивидуально временным диаграммам входных сигналов для асинхронного с прямыми входами и синхронного RS, статического и динамического D, асинхронного и синхронного T-триггеров нарисовать временные диаграммы их выходных сигналов. Варианты входных сигналов показаны на рисунке 7.4.
- г) Заготовить отчет, в который внести: схемы асинхронного и синхронного RS-триггеров на ЛЭ, таблицу истинности и схему D-триггера, разработанные в подпункте б); схему T-триггера на базе D-триггера K155TM2; временные диаграммы, построенные в подпункте в).

7.3.2 Выполняется на лабораторном занятии.

а) Собрать поочередно схемы асинхронного и синхронного RS-триггеров с прямыми входами и исследовать их. Проверить соответствие выходных сигналов на диаграмме фактическим.

б) Собрать разработанную схему статического D-триггера и проверить соответствие выходных сигналов табличным. Исследовать этот D-триггер и проверить соответствие выходных сигналов на диаграмме фактическим.

в) Исследовать имеющийся на панели динамический D-триггер K155TM2. Проверить соответствие выходных сигналов на диаграмме фактическим.

г) На базе триггера K155TM2 собрать асинхронный T-триггер и исследовать его. Проверить соответствие выходных сигналов на диаграмме фактическим.

7.4 Варианты задания

Временные диаграммы перерисовывать, строго учитывая моменты времени изменения сигналов.

В задании первая цифра - сигнал на синхронизирующем входе С, вторая цифра- сигнал на входе S, третья-сигнал на входе R, четвертая-сигнал на входе D, пятая-сигнал на входе Т. Временные диаграммы входных сигналов показаны на рисунке 7.4.

- | | | |
|------------------|-----------------|-----------------|
| 1) C1,1,2,1,1 | 2) C1,1,3,2,2 | 3) C1,1,4,3,3 |
| 4) C1,1,5,4,4 | 5) C1,1,6,5,5 | 6) C1,1,7,6,6 |
| 7) C1,1,8,7,7 | 8) C1,1,9,8, 8 | 9) C1,2,3,9,9 |
| 10) C1,2,4,10,10 | 11) C2,2,5,1,10 | 12) C2,2,6,2,9 |
| 13) C2,2,7,3,8 | 14) C2,2,8,4,6 | 15) C2,2,9,5,6 |
| 16) C2,3,4,6,5 | 17) C2,3,5,7,4 | 18) C2,3,6,8,3 |
| 19) C2,3,7,9,2 | 20) C3,6,7,7,9 | 21) C3,4,5,1,3 |
| 22) C3,4,6,2,4 | 23) C3,4,7,3,5 | 24) C3,4,8,4,6 |
| 25) C3,5,6,5,7 | 26) C3,5,7,6,7 | 27) C3,6,7,7,9 |
| 28) C3,6,8,8,10 | 29) C3,5,8,9,1 | 30) C3,7,8,10,2 |

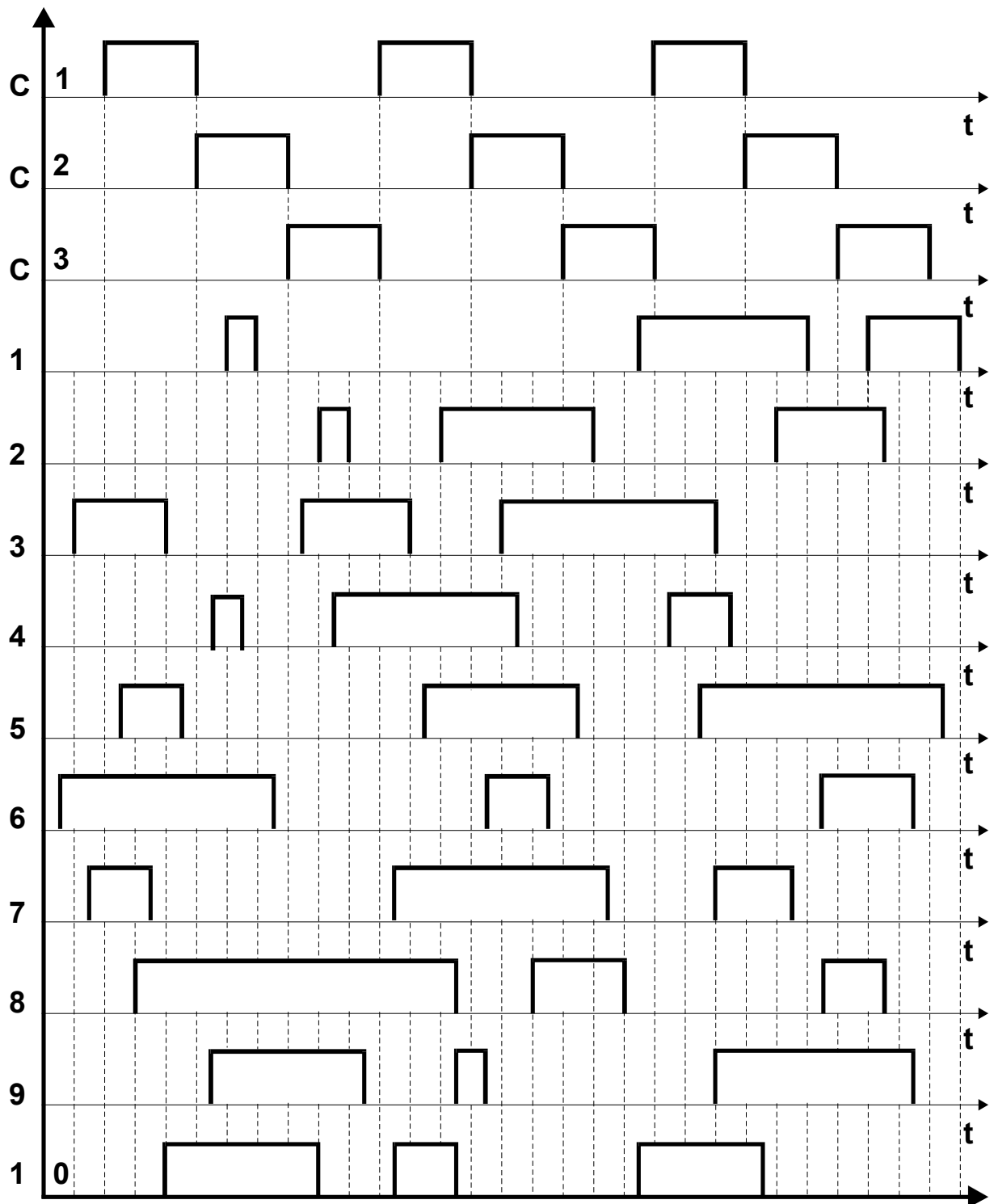


Рисунок 7.5 - Временные диаграммы для индивидуального задания

7.5 Методические указания

При построении временных диаграмм начальное состояние выхода всех триггеров принять нулевым.

Сигналы синхронизации подавать на триггеры с выхода Q1 счетчика, а менять их с помощью кнопки S, подключив ее к входу счетчика

Сигналы на информационных входах коммутировать с помощью проводников вручную. На вход асинхронного Т-триггера нужно подавать их с выхода Q1 счетчика.

При проверке правильности построения диаграммы выходных сигналов, входные сигналы переключать строго в последовательности, заданной на временной диаграмме.

7.6 Контрольные вопросы

7.6.1 В чем отличие последовательностных схем от комбинационных?

7.6.2 Чем синхронные схемы отличаются от асинхронных и какие у них достоинства и недостатки?

7.6.3 Как работают: асинхронный RS-триггер, синхронный RS-триггер, статический D-триггер, динамический D-триггер, универсальный JK-триггер, синхронный T-триггер, асинхронный T-триггер?

7.6.4 Как на базе универсального JK-триггера, изображенного на рисунке 7.3.б), построить асинхронный RS-триггер с инверсными входами? Синхронный T-триггер? асинхронный T-триггер? D-триггер?

7.6.5 Разработайте на ЛЭ схему статического D-триггера с входом установки в 1.

7.6.6 Разработайте на базе мультиплексора К155КП2 статический D-триггер с входом сброса в 0.

7.6.7 При заданных входных сигналах указанного триггера, определить выходной сигнал. Ответ обосновать.

7.6.8 Пояснить, почему комбинация $R=0, S=0$ у RS-триггера с инверсными входами является запрещенной?

7.6.9 Разработать на базе триггера схему, которая пропускает (не пропускает) на выход только первый импульс в импульсной последовательности.

7.6.10 Разработать на динамическом D-триггера синхронный T-триггер.

8 ИССЛЕДОВАНИЕ СЧЁТЧИКОВ

Лабораторная работа №5

8.1 Цель работы

Изучение работы счётчиков и принципов их построения

8.2 Краткие теоретические сведения.

Счётчиком называется функциональное последовательностное устройство, комбинация выходных сигналов которого изменяется по определенному закону при поступлении активного перепада импульса на его счётный вход. Закон изменения выходных сигналов определяется выбранным способом кодирования внутренних состояний счётчика. Чаще других используются двоичный, двоично-десятичный и унитарный коды. Счётчики, в которых они используются, выпускаются в интегральном исполнении и называются, соответственно, двоичными, двоично-десятичными и кольцевыми. Кроме счетного входа счётчик может иметь и другие входы, расширяющие его возможности (установка в начальное состояние, разрешение работы и т.д.).

Зная начальное состояние счётчика и используемый код, можно по комбинации выходных сигналов определить число импульсов, поступивших на его счётный вход к данному моменту. Поэтому счётчики можно использовать для подсчёта импульсов.

Количество устойчивых состояний (комбинаций сигналов на выходах) счётчика называется модулем или коэффициентом счёта. Модуль счёта обозначается M , и счётчик называется счётчиком по модулю M . Максимальное число импульсов, которое может быть подсчитано счётчиком (ёмкость счётчика) равно $M-1$. При поступлении на счётный вход следующего по счёту после $M-1$ активного перепада импульса, счётчик переходит в начальное состояние. Такая ситуация называется переполнением счётчика.

Модуль счётчика зависит от используемого кода и числа выходов счётчика. При числе выходов " n " максимальный модуль счёта равен 2^n для двоичного и " n " для кольцевого счётчиков (число выходов равно числу разрядов). У двоично-десятичного счётчика для одного десятичного разряда (декады) необходимо четыре выхода и максимальный модуль счёта такой декады-10.

Если на вход счётчика подается последовательность импульсов с частотой f , то переполнение счётчика возникает периодически с частотой f/M . Это свойство используется для деления частоты. Выходной сигнал в этом случае снимается с последнего разряда или со специального выхода, на котором формируется импульс при возникновении переполнения. Поэтому счётчики, предназначенные только для деления частоты имеют один основной выход и

называются счётчиками-делителями или цифровыми таймерами.

В зависимости от порядка изменения состояний счётчики бывают суммирующие (при возрастающем порядке) и вычитающие (при убывающем порядке). Например, в суммирующем двоичном счётчике каждый активный перепад импульса на счётном входе увеличивает записанное в этом счётчике число на единицу, а в вычитающем уменьшает на единицу. Если счётчик может работать в обоих режимах, он называется реверсивным. В интегральном исполнении выпускаются суммирующие и реверсивные счётчики. Начальная комбинация у них в режиме суммирования нулевая, в режиме вычитания М-1.

Счётчики строятся из триггеров и в зависимости от их разновидности делятся на синхронные и асинхронные. В состав синхронных счётчиков входят только синхронные триггеры, а в составе асинхронных обязательно есть асинхронные триггеры. По структуре асинхронные счётчики могут быть с последовательным или параллельным переносом. Синхронные счётчики самые сложные и быстродействующие.

Быстродействие является важным параметром. Оно определяется минимальным временем между двумя активными перепадами $t_{сч}$, при котором еще не происходят сбои в работе (разрешающая способность) и промежутком времени между появлением активного перепада и установкой нового состояния t_y (время установки). Максимальная частота счёта (деления) определяется как $1/t_{сч}$.

У многих счётчиков можно по желанию изменять начальное состояние. Для этого у них имеются специальные входы установки начального состояния, на которые подается кодовая комбинация, соответствующая нужному начальному состоянию и вход управления загрузкой. У счётчиков с асинхронной загрузкой информация с входов установки начального состояния переписывается на выход, как только на входе управления загрузкой появится активный уровень сигнала. У счётчиков с синхронной загрузкой это произойдет в момент появления активного перепада на счётном входе и, если при этом на входе управления загрузкой активный уровень сигнала.

Почти все счётчики имеют вход сброса в нулевое состояние. Он имеет главный приоритет перед остальными входами.

Счётчики используются, как самостоятельные элементы, для подсчета числа различных сигналов, уменьшения частоты, а также при построении разнообразных устройств (цифровых фазовращателей, синтезатор частот и др.).

В настоящее время в интегральном исполнении выпускаются счётчики асинхронные с непосредственной связью, асинхронные с параллельным переносом и синхронные. Рассмотрим принципы их построения.

Самым простым по структуре является асинхронный двоичный счётчик, построенный из асинхронных Т-триггеров, которые соединены, как показано на рисунке 8.1.

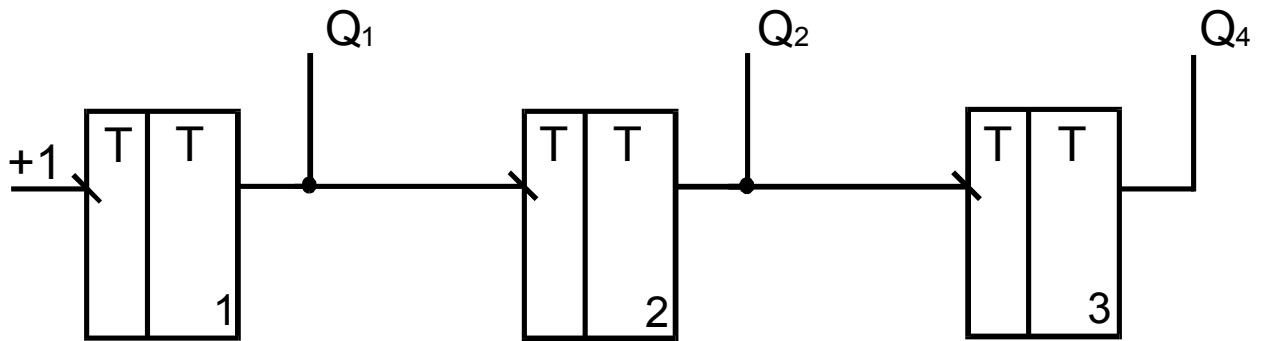


Рисунок 8.1

Схема, в которой выход одного триггера соединен с входом следующего, называется схемой с непосредственной связью и относится к схемам с последовательным переносом. В двоичных счётчиках количество используемых триггеров равно числу разрядов.

i	Q_4	Q_2	Q_1	Q_4^+	Q_2^+	Q_1^+
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

Рисунок 8.2

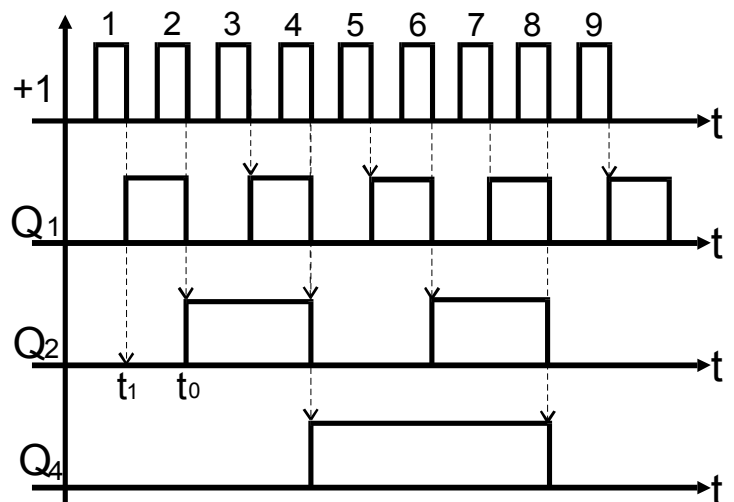


Рисунок 8.3

Работу счётчика удобно пояснять с помощью временной диаграммы. Для рассматриваемого счётчика она приведена на рисунке 8.3. Начальное состояние счётчика нулевое. При появлении перепада 1.0 на входе первого триггера он переключается из нуля в единицу (t_1). При появлении второго перепада 1.0 на входе первого триггера он переключается из единицы в нуль, создавая перепад 1.0 на входе второго триггера, который в свою очередь переключается из нуля в единицу (t_2). При появлении третьего перепада 1.0 первый триггер вновь переключается и т.д. Из диаграммы видно, что после восьмого импульса возникает переполнение и счётчик устанавливается в исходное состояние.

Последовательность работы счётчика можно отразить и с помощью таблицы состояний (функций перехода). Для рассматриваемой схемы она приведена на рисунке 8.2. В первом столбце указан номер состояния, во втором значения выходов до прихода активного перепада импульса, в третьем - после его прихода.

В схеме на рисунке 8.1 триггеры переключаются последовательно по отношению к активному перепаду на входе первого триггера через время $t = n \cdot t_3$, где n - число триггеров, t_3 - время переключения одного триггера. Получается, что быстродействия таких счётчиков зависит от числа разрядов и при увеличении их числа снижается. Несмотря на этот недостаток, благодаря своей простоте и легкости наращивания, такие счётчики находят широкое применение.

Для повышения быстродействия в счётчиках используют параллельный перенос. Принцип построения счётчика с его использованием показан на рисунке 8.4.

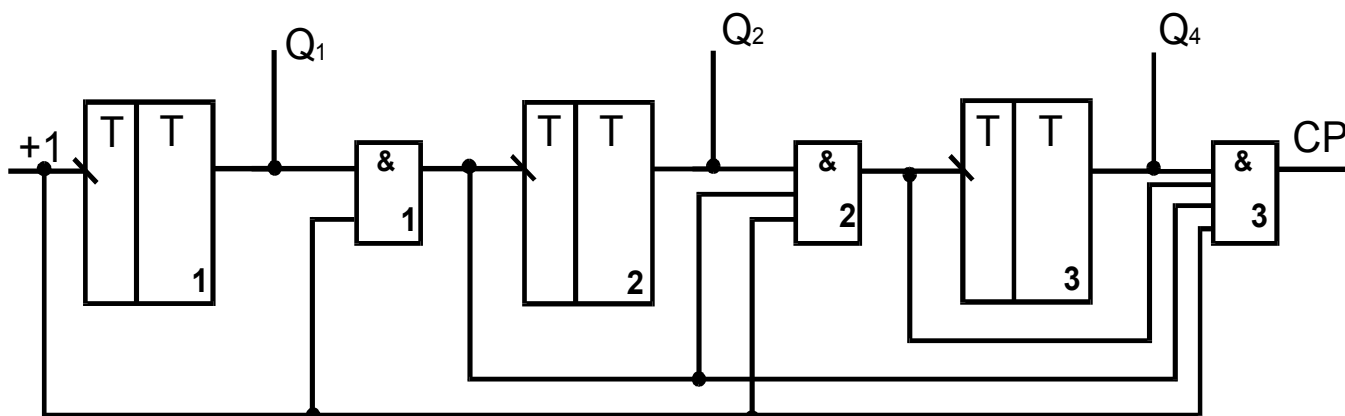


Рисунок 8.4

Здесь выход триггера соединен со входом следующего через элемент И и к каждому следующему элементу И подключены выходы всех предыдущих элементов И, связанных с триггерами более младших разрядов. Перепад 1,0 входного импульса поступает на все элементы И и первый триггер одновременно, но проходит на входы триггеров только через те элементы, у которых к этому моменту на всех остальных входах находятся единицы. Пусть, например, счётчик находится в состоянии, соответствующем строке 5, рисунка 8.2. В этом случае единицы находятся на выходах первого и третьего триггеров. Когда на входе +1 появится перепад 0,1, единицы установятся на всех входах только первого элемента И (на выходе второго триггера, а значит и выходе второго элемента И находится нуль). Поэтому при появлении перепада 1,0 на входе +1 переключается только первый и второй триггер и счётчик перейдет в состояние 110, что соответствует строке 6 рисунка 8.2.

На выходе последнего элемента И формируется импульс переноса, который используется для наращивания счётчиков.

Время задержки срабатывания последнего триггера по отношению к входному импульсу в такой схеме не зависит от числа триггеров и определяется только временем задержки сигнала в элементе И. Недостатком этого счётчика является усложнение схемы переноса и рост нагрузки на выход элементов И с увеличением разрядности счётчика, а также то, что триггеры переключаются вразнобой с задержкой, определяемой элементами И.

Одновременное переключение всех триггеров достигается в синхронных счётчиках. В них используются синхронные Т и динамические D-триггеры. Структурная схема такого счётчика показана на рисунке 8.5.

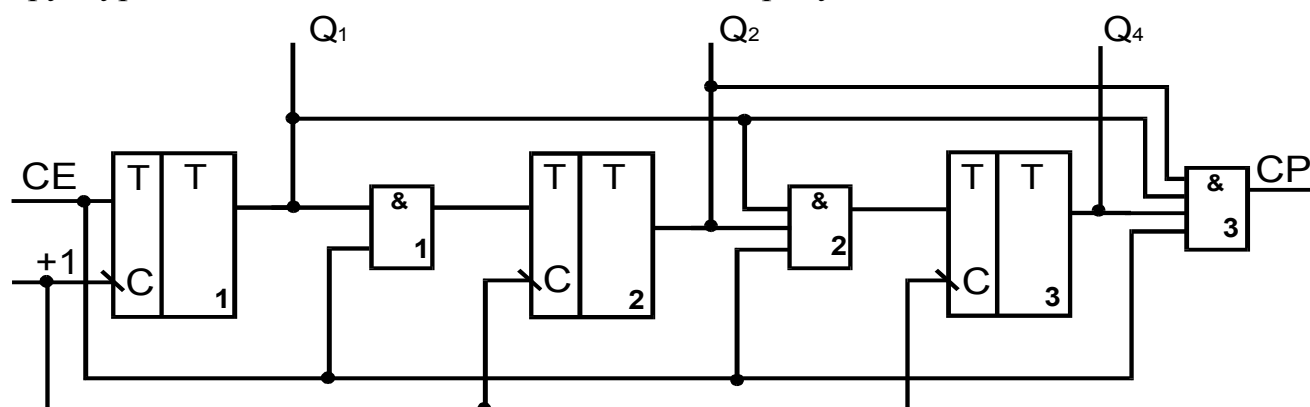


Рисунок 8.5

Входные импульсы здесь подаются на синхронизирующие входы триггеров. На информационных входах же перед поступлением активного перепада входного импульса устанавливается уровень сигнала, определяющий, будет переключаться данный триггер или нет. Когда на входе появится активный перепад, переходные процессы в элементах счётчика должны закончиться и все триггеры переключатся одновременно (если не учитывать разное время переключения самих триггеров). Пусть, например, счётчик находится в состоянии, соответствующем строке 5 рисунка 8.2 и на входе СЕ находится единица. Единицы в этом случае будут на всех входах только у первого элемента И (т.к. на выходе второго триггера нуль) и на информационных входах первого и второго триггера устанавливается единица, а на входе третьего нуль. Таким образом при появлении на входе +1 активного перепада переключаются первый и второй триггеры и счётчик перейдет в состояние 110.

Вход СЕ является входом разрешения переключения триггеров данного счётчика и называется входом разрешения счета. На выходе СР формируется активный уровень сигнала, когда все триггеры и вход СЕ находятся в единичном состоянии. При наращивании счётчиков выход СР подключается ко входу СЕ следующего счётчика и называется выходом переноса.

Для примера рассмотрим счётчики в интегральном исполнении К155ИЕ5 и К155ИЕ7. Условное графическое обозначение этих счётчиков показано на рисунках 8.6 и 8.7 соответственно.

У счётчиков на поле выводов Q обозначают или весовые коэффициенты выходов или их порядковые номера (начиная с 0). Для двоичных и двоично-десятичных счетчиков весовой коэффициент равен 2^n , где n -номер выхода.

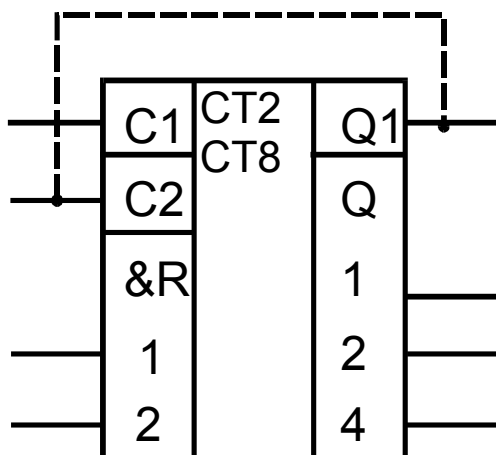


Рисунок 8.6

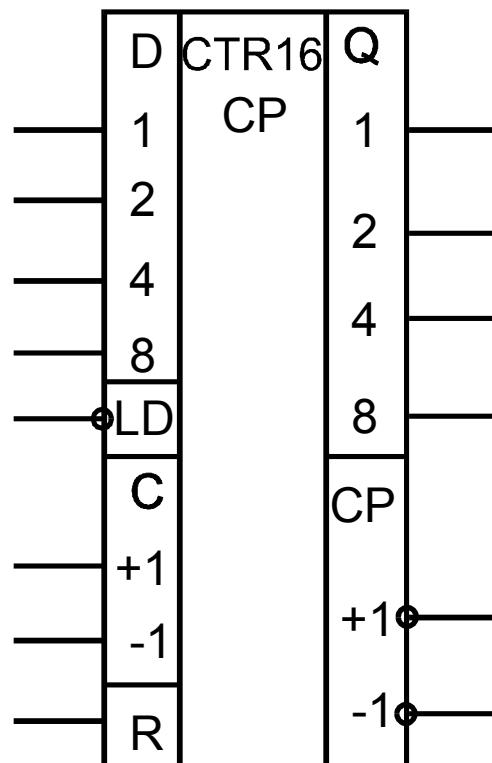


Рисунок 8.7

Микросхема К155ИЕ5 содержит два двоичных асинхронных суммирующих счётчика с непосредственными связями и срабатывающих по перепаду 1,0. Один счётчик имеет модуль счета 2 (вход C1), другой-8 (вход C2). Если произвести соединение, которое показано пунктиром, получится счётчик по модулю 16. Сброс в ноль общий для обоих счётчиков при соблюдении условия $R = R_1 \cdot R_2 = 1$. Разрешение работы при $R=0$.

Микросхема К155ИЕ7- это двоичный асинхронный реверсивный счётчик с параллельным переносом и срабатывающий по перепаду 0,1. Он имеет модуль счета 16 и отдельные счётные входы суммирования и вычитания. Загрузка асинхронная при нулевом уровне на входе LD. Сброс в ноль при единичном уровне на входе R, а разрешение работы при $R=0$. Состояние выхода переноса описывается уравнением

$$CP_{+1} = \overline{Q_8 \cdot Q_4 \cdot Q_2 \cdot Q_1 \cdot C_{+1}},$$

а выхода заёма уравнением

$$CP_{-1} = \overline{\overline{Q_8 \cdot Q_4 \cdot Q_2 \cdot Q_1 \cdot C_{-1}}}$$

Счётчики, выпускаемые в интегральном исполнении, имеют фиксированные модули счета. Но часто возникает необходимость иметь модуль отличный от фиксированного. Имея готовый счетчик по модулю M , можно получить счётчик с меньшим модулем двумя способами.

Первый способ заключается в том, чтобы сбрасывать счетчик в начальное состояние до его переполнения. Для этого к выходам счетчика подключается детектор состояний, который вырабатывает сигнал сброса при появлении нужной комбинации конца счета. В качестве детектора состояний можно использовать дешифратор, цифровой компаратор или элемент И. Схема с использованием элемента И показана на рисунке 8.8.

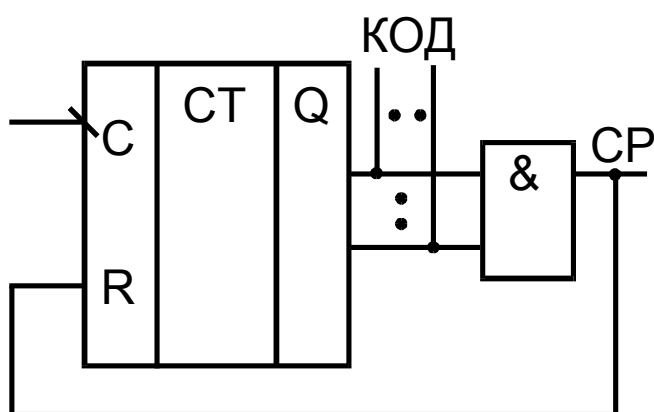


Рисунок 8.8

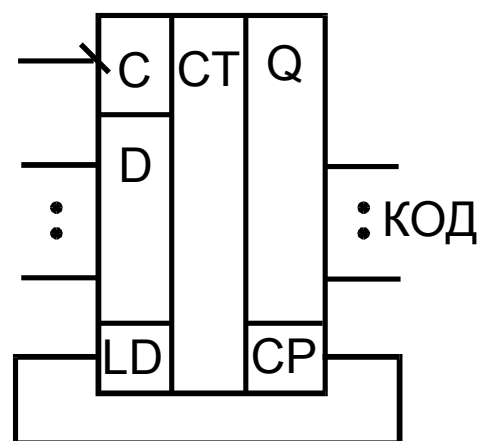


Рисунок 8.9

Входы элемента И подключены к выходам счётчика таким образом, что при появлении на выходах счётчика комбинации конца счёта на выходе элемента И появляется единица, которая и сбросит счётчик в ноль. У суммирующих двоичных и двоично-десятичных счётчиков к элементу И подключаются те выходы, сумма весовых коэффициентов которых равна нужному модулю счёта. Например, для получения счётчика по модулю 6 к элементу И необходимо подключить выходы с весовыми коэффициентами 2 и 4 т.к. $6 = 2 + 4$.

Схема на рисунке 8.8 имеет ряд недостатков. Во-первых, счётчик по модулю M должен переходить в начальное состояние из состояния $M-1$. В данном же случае на выходах счётчика на определенное время появляется неестественная для него комбинация M и только после ее появления счётчик переходит в начальное состояние. Это может привести к неправильной работе схемы, к которой подключены выходы счётчика. В счётчиках-делителях, где используется только выход переноса CP этот недостаток роли не играет. Во-вторых, импульс на выходе элемента И находится до тех пор, пока не сменится комбинация на выходе счётчика. Его длительность равна сумме задержки в элементе И и времени переключения самого быстрого триггера счётчика. Минимальную длительность импульса предсказать нельзя и она может оказаться недостаточной

для срабатывания устройства, подключенного к выходу элемента И (в том числе и некоторых триггеров самого счётчика). Поэтому для предотвращения вероятных сбоев необходимо принимать меры к удлинению импульса.

Достоинство способа – естественная последовательность кодов от 0 до $M-1$.

Второй способ заключается в том, чтобы счётчик начинал считать не с начального состояния, а с какой-то другой комбинации выходных сигналов. Для этого на входы установки начального состояния необходимо подать эту комбинацию и перед началом счёта записать ее в счётчик. В случае циклической работы сигналом для записи может служить появление на выходах счётчика комбинации конца счёта. Сигнал с этого выхода можно использовать для записи в счётчик начальной комбинации. Такая схема показана на рисунке 8.9. В ней выход переноса соединён со входом загрузки.

Модуль счета счетчиков с асинхронной загрузкой двоичных определяется по формуле $M = (2^n - 1) - d$ при суммировании и $M = d$ при вычитании, а десятичных счетчиков по формуле $M = (10^m - 1) - d$ при суммировании и $M = d$ при вычитании. Здесь n -разрядность счетчика; m -число десятичных разрядов; d -загружаемая комбинация. В счётчике с асинхронной загрузкой появление комбинации конца счета и загрузка происходит между двумя соседними импульсами на счётном входе, т.е. за один такт. В счётчике с синхронной загрузкой для этого требуется два такта - в одном появляется комбинация конца счёта, а в другом происходит загрузка. Поэтому модули счёта определяются по формулам $M = 2^n - d$; $M = 10^m - d$ для суммирующих счётчиков и $M = d + 1$ для вычитающих. Например, чтобы построить счётчик по модулю 6 на базе четырехразрядного двоичного суммирующего счетчика с асинхронной загрузкой в него надо записать комбинацию $d = (2^4 - 1) - 6 = 15 - 6 = 9$. При этом на входы D2 и D4 следует подать нули, а на входы D1 и D8 единицы.

Схема на рисунке 8.9 имеет недостатки: во-первых, счёт начинается не с нуля и в случае использования основных выходов требуется перекодирование (если используется только выход переноса, этот недостаток значения не имеет); во-вторых, в случае асинхронной загрузки активный сигнал на выходе переноса существует до тех пор, пока не переключится хотя бы один триггер счётчика и его длительности может не хватить для срабатывания устройства, подключённого к этому входу, а также для правильной загрузки самого счётчика. Поэтому для предотвращения возможных сбоев этот сигнал необходимо удлинять.

Достоинством способа является отсутствие дополнительных элементов и возможность достаточно просто изменять модуль счёта.

Часто возникает необходимость иметь модуль счёта больший, чем у счётчика в интегральном исполнении. В таком случае используется несколько счётчиков и схема соединения зависит от их структуры. Самой простой для счётчиков с непосредственной связью является схема, в которой выход старшего разряда одного счётчика соединяют со счетным входом другого, а для счетчиков с параллельным переносом и синхронных - схема, в которой выход переноса

одного счётчика соединяют со счётным входом другого. Полученный счётчик рассматривают, как единое целое и для получения нужного модуля счета используют рассмотренные способы. При этом, число разрядов двоичного счётчика равно суммарному количеству основных выходов используемых счётчиков, а у двоично-десятичного счётчика число десятичных разрядов равно количеству используемых счётчиков.

Для счетчиков-делителей можно использовать последовательное их соединение, когда выход одного счетчика соединяется со счётным входом другого. Общий коэффициент деления в этом случае $M = M_1 \cdot M_2 \cdot M_3 \cdot \dots$ где M_i - модули счета отдельных счетчиков.

8.3 Порядок выполнения работы

8.3.1 Выполняется при подготовке к работе.

а) Ознакомиться с описанием лабораторного стенда и правилами сборки схем.

б) Используя имеющиеся на стенде триггеры и другие элементы, разработать по индивидуальному заданию один из следующих двоичных счетчиков с непосредственными связями, срабатывающий по перепаду 0,1: двухразрядный реверсивный; трехразрядный вычитающий; двухразрядный суммирующий с асинхронной загрузкой. Построить временную диаграмму работы.

в) На базе счетчика К155ИЕ5 разработать счетчик с заданным модулем счета. Построить временную диаграмму работы.

г) На базе счетчика К155ИЕ7 разработать счетчик с заданным модулем счета, используя способ загрузки начального состояния. Построить временную диаграмму работы.

д) Заготовить протокол отчета, в который внести временные диаграммы и схемы, разработанные в подпунктах б...г

8.3.2 Выполняется на лабораторном занятии.

а) Собрать и проверить правильность функционирования схемы, разработанной в подпункте 8.3.1 б)

б) Исследовать работу счетчиков К155ИЕ5 и К155ИЕ7.

в) Собрать поочередно счетчики, разработанные в 8.3.1 в), 8.3.1 г) и проверить правильность их работы.

г) Защитить отчет у преподавателя.

8.4 Варианты задания

8.4.1 Модуль счёта для счётчика К155ИЕ5


- | | | | | | | | |
|--------|--------|--------|--------|--------|--------|--------|--------|
| 1) 4 | 2) 5 | 3) 6 | 4) 7 | 5) 8 | 6) 9 | 7) 10 | 8) 11 |
| 9) 12 | 10) 13 | 11) 14 | 12) 15 | 13) 3 | 14) 2 | 15) 4 | 16) 5 |
| 17) 6 | 18) 7 | 19) 8 | 20) 9 | 21) 10 | 22) 11 | 23) 12 | 24) 13 |
| 25) 14 | 26) 15 | 27) 3 | 28) 2 | 29) 7 | 30) 11 | | |

8.4.2 Модуль счёта для счётчика K155ИЕ7

1) 2	2) 3	3) 4	4) 5	5) 6	6) -14	7) -13	8) -12
9) -11	10) -15	11) 7	12) 8	13) 9	14) 10	15) 11	16) -2
17) -3	18) -4	19) -5	20) -6	21) 12	22) 13	23) 14	24) 15
25) -7	26) -8	27) -9	28) -10	29) 9	30) -12		

8.4.3 Знак «минус» означает, что счётчик на вычитание, отсутствие знака означает, что счётчик на сложение.

8.5 Методические указания

T-триггеры собираются на основе имеющихся на стенде D-триггеров. Для построения счетчика реверсивного и с асинхронной загрузкой использовать готовый мультиплексор. Сигналы на счетный вход счетчиков подавать кнопкой S или с выхода  генератора.

Число поступивших на счетчик импульсов фиксируется индикатором. Для подключения индикатора к выходам счетчика K155ИЕ7 нужно поставить перемычку между контактами 1 и 2 разъёма XI.

Построение временных диаграмм начинать в подпунктах 8.3.1 б) и в) с начального состояния, а в подпункте 8.3.1 г) с кода числа 14 для суммирующего и 1-для вычитающего счетчиков. Диаграммы должна включать 1,5...2 цикла счета.

8.6 Контрольные вопросы

8.6.1 Что такое счётчик и где он может применяться? Какие они бывают?

8.6.2 Разработайте на базе заданного счётчика, счётчик с модулем счёта М.

8.6.3 Чем отличается счётчик импульсов от счётчика-делителя?

8.6.4 По какому принципу строят счётчики с непосредственной связью? С параллельным переносом? Синхронные?

8.6.5 Какие существуют способы построения счётчиков с произвольным модулем счёта и какие у них достоинства и недостатки?

8.6.6 Разработайте на заданном счётчике с модулем счёта М счётчик-делитель, длительность выходного импульса которого была бы равна длительности входного импульса или длительности такта входных импульсов.

8.6.7 Разработайте схему изменения модуля счета с М1 на М2 для счетчика K155ИЕ7 (K155ИЕ5) переключателем на два положения.

9 ИССЛЕДОВАНИЕ РЕГИСТРОВ

Лабораторная работа №6

9.1 Цель работы

Изучение работы регистров, принципов их построения и схем на их основе.

9.2 Краткие теоретические сведения

Регистры в зависимости от выполняемой операции делятся на регистры памяти (параллельные) и регистры сдвига.

Регистром памяти называется последовательностное функциональное устройство, состоящее из набора синхронных триггеров с независимыми информационными выходами и общим синхронизирующим входом и предназначенное для хранения двоичной комбинации заданное время. Число информационных входов и выходов (разрядов) равно числу используемых триггеров т.к. один триггер хранит один разряд двоичной комбинации. Одиночный триггер можно рассматривать как одноразрядный регистр памяти.

Для создания регистров памяти можно использовать синхронные RS, JK, D - триггеры. В интегральном исполнении регистры памяти строятся, в основном, на базе D - триггеров статических и динамических и называют их соответственно статическими и динамическими.

Схема трехразрядного динамического регистра памяти, построенного из динамических D - триггеров показана на рисунке 9.1.

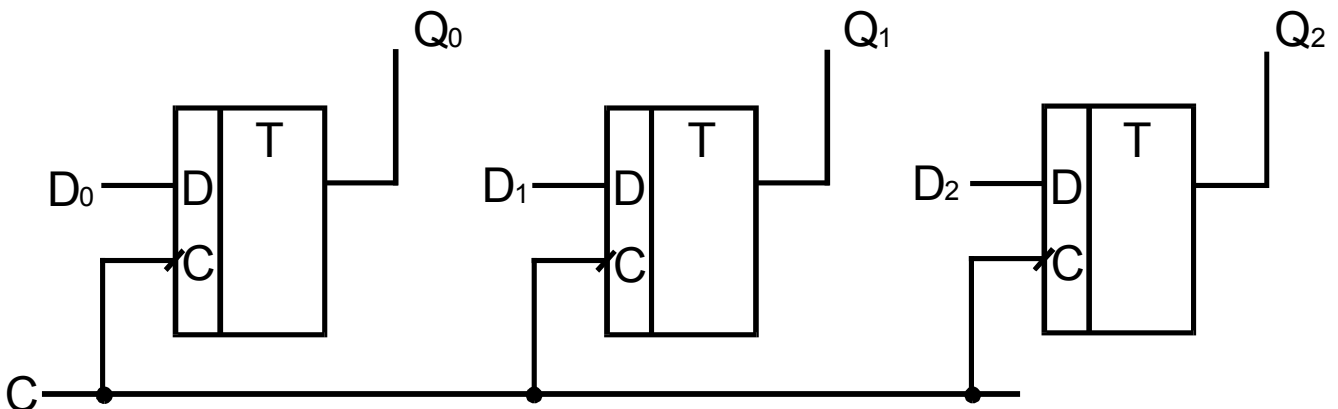


Рисунок 9.1

Данный регистр работает следующим образом. При появлении на синхронизирующем входе C перепада 0,1 информация, находящаяся на выходах D₂...D₀ записывается в триггеры и хранится там до появления

следующего активного перепада на входе С. Запись информации в регистр памяти, построенный из статистических D - триггеров осуществляется так же, как и в одиночный статический.

В некоторых регистрах памяти предусмотрена возможность высокоомного состояния выходов и установка выходов в нуль (сброс).

Регистры памяти применяют для промежуточного кратковременного хранения данных и для организации параллельного ввода-вывода в информационно-измерительных и вычислительных устройствах.

Регистром сдвига называется последовательностное функциональное устройство, состоящее из соединенных последовательно синхронных триггеров с общим синхронизирующим входом, и в этом устройстве происходит сдвиг записанной в него двоичной комбинации на один разряд при появлении активного перепада сигнала на синхронизирующем входе. Разрядность регистра равна числу используемых триггеров. Для построения регистров сдвига из статических триггеров необходима двухфазная синхронизация, что приводит к усложнению схемы. Поэтому используют динамические RS, JK и D - триггеры. Регистры сдвига в интегральном исполнении создаются, в основном, из динамических D - триггеров и могут сдвигать записанную в них информацию в сторону старших разрядов (вправо), или в обе стороны. В последнем случае они называются реверсивными.

У любого регистра сдвига обязательно есть вход последовательного ввода информации. У реверсивных регистров таких входов два: один для ввода информации при сдвиге вправо, другой - для ввода при сдвиге влево. Возможность последовательного вывода информации так же существует у любого регистра сдвига. Для этого у него имеется специальный выход последовательного вывода, а если предусмотрен параллельный вывод информации, то в качестве выхода для последовательного вывода используется выход последнего (старшего) разряда регистра.

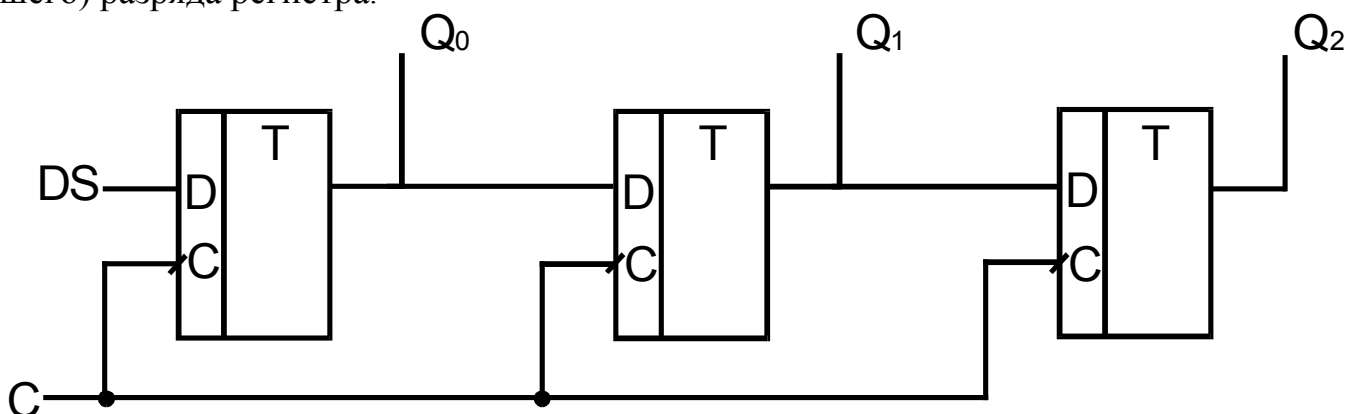


Рисунок 9.2

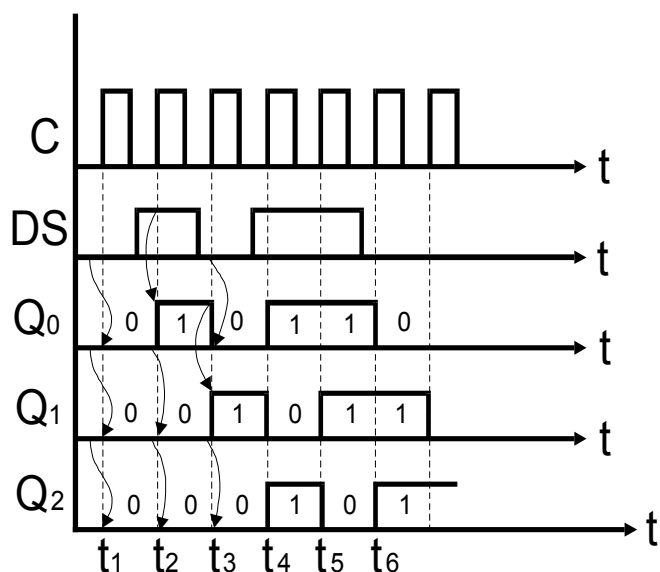


Рисунок 9.3

i	Q ₂	Q ₁	Q ₀	Q ₂ ⁺	Q ₁ ⁺	Q ₀ ⁺	DS
1	0	0	0	0	0	0	0
2	0	0	0	0	0	1	1
3	0	0	1	0	1	0	0
4	0	1	0	1	0	1	1
5	1	0	1	0	1	1	1
6	0	1	1	1	1	0	0

Рисунок 9.4

Схема трехразрядного регистра сдвига с последовательным вводом, параллельным выводом и сдвигом информации в сторону старших разрядов (вправо), построенная из D - триггеров показана на рисунке 9.2.

Работу схемы удобнее пояснять с помощью временной диаграммы, показанной на рисунке 9.3. При появлении активного перепада импульса на синхронизирующем входе С (в данном случае это перепад 0,1) информация, находящаяся в этот момент на входе каждого триггера переписывается на его выход. Стрелки на рисунке 9.3 показывают, какая именно информация (0 или 1) переписывается. Согласно схеме, входной информацией каждого триггера является сигнал с выхода предыдущего триггера. Вход первого триггера является входом последовательного ввода DS. Выход Q₀ первого триггера считается младшим разрядом, а выход Q₂ последнего триггера - старшим разрядом регистра.

Таким образом, алгоритм работы регистра следующий. При появлении на входе С перепада 0,1 комбинация, записанная в регистре перемещается на один разряд в сторону старших разрядов (вправо), а в младший разряд переписывается информация со входа DS. Цифрами 0 и 1 на диаграмме показано состояние регистра между двумя перепадами.

Пусть перед началом работы на выходах всех триггеров и на входе DS находятся нули, т.е. в регистре записана комбинация 000. В момент t₁ на входах каждого триггера находился нуль, поэтому он и переписывается на выходы всех триггеров. Комбинация в регистре после t₁ - 000. В момент t₂ (когда на входе С появился перепад 0,1) на входе DS находилась единица, а на выходах остальных триггеров нули, поэтому в первый триггер запишется единица, а во второй и третий нули. Комбинация в регистре после t₂ - 001. В момент t₃ на входе DS и на входе третьего триггера находились нули, а на входе второго -

единица, поэтому в первый и третий триггер запишутся нули, а во второй - единица. Комбинация в регистре после t_3 - 010 и т.д. Информацию на входе DS необходимо установить до появления активного перепада на входе С.

Работу регистра сдвига можно пояснить и с помощью таблицы состояний (функций перехода), приведенной на рисунке 9.4. Каждая строка таблицы соответствует состоянию выходов регистра до появления активного перепада (столбцы $Q_n \dots Q_0$) и после его появления (столбцы $Q_n^+ \dots Q_0^+$). В столбце DS обозначен уровень сигнала на входе DS перед самым появлением активного перепада, а в столбце i - номер импульса, который вызвал состояние $Q_n^+ \dots Q_0^+$.

Временная диаграмма и таблица состояния наглядно демонстрирует движение информации в регистре сдвига.

Для расширения функциональных возможностей у регистра сдвига может предусматриваться параллельный ввод, переключение в высокоомное состояние выходов, установка в нулевое состояние и др.

Регистр сдвига можно использовать и как регистр памяти, только в случае ввода информации через последовательный вход требуется число тактов равное разрядности регистра, а не один, как у регистров памяти.

В качестве примера регистра сдвига в интегральном исполнении рассмотрим регистр К155ИР1. Его условное графическое обозначение показано на рисунке 9.5.

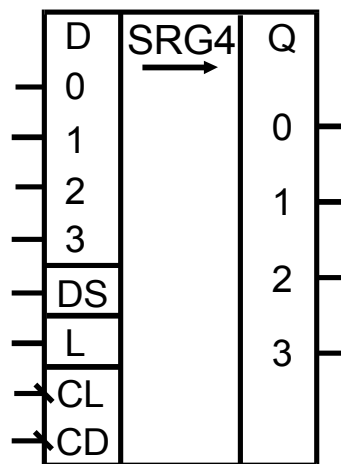


Рисунок 9.5

Это четырехразрядный регистр с последовательным и параллельным вводом и выводом информации. Параллельный ввод через входы $D_3 \dots D_0$ синхронный по перепаду 1,0 на входе CL и при высоком уровне сигнала на входе L. Последовательный ввод информации через вход DS и сдвиг содержимого регистра в сторону старших разрядов по перепаду 1,0 на входе CD и при низком уровне сигнала на входе L. При вводе информации от одного синхросигнала входы CD и CL объединяют. Входы и выходы регистра обозначают поряд-

ковыми номерами начиная с нуля сверху вниз - от младшего разряда к старшему.

На базе регистров сдвига наиболее просто реализовать преобразователь последовательного кода в параллельный и наоборот. Их применяют в устройствах аппаратного умножения и деления двоичных чисел, в кодирующих устройствах для синтеза помехоустойчивых кодов, которые могут обнаруживать и исправлять ошибки и т.д.

Регистры сдвига можно использовать также для построения счётчиков, которые носят общее название кольцевые. Часто их еще называют по имени используемого кода.

Простейший кольцевой счётчик получится, если у регистра на рисунке 9.2 выход старшего разряда Q_2 соединится с входом DS . Такая схема показана на рисунке 9.6.

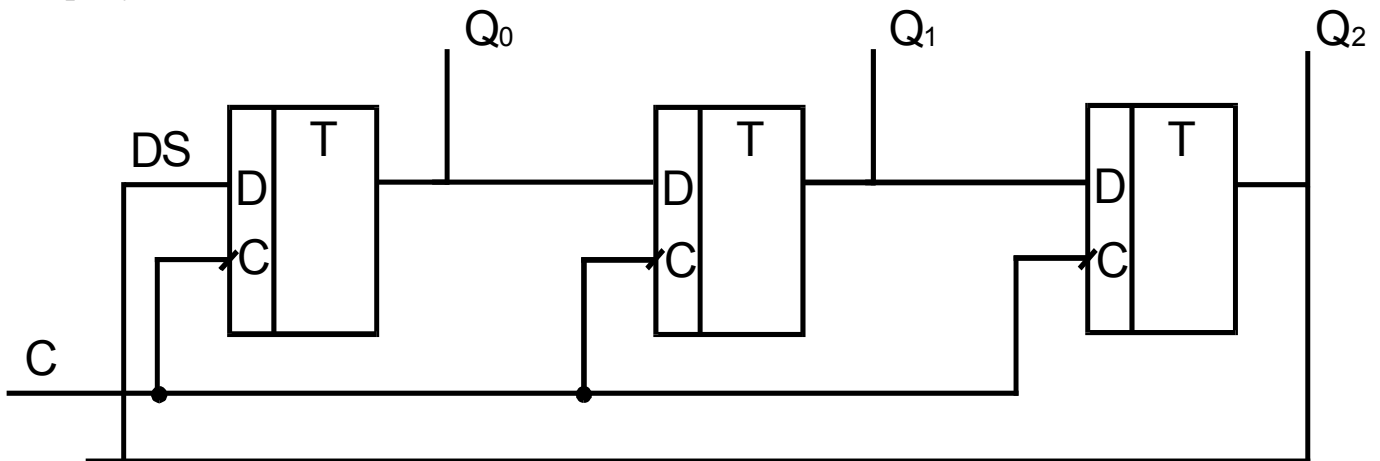


Рисунок 9.6

Работа этого кольцевого счётчика отражена на временной диаграмме на рисунке 9.7. Предварительно записанная в младший разряд единица после каждого активного перепада сигнала на входе C будет поочередно появляться на выходе каждого триггера регистра. Это следует из принципа работы регистра сдвига. Когда единица появится на выходе Q_2 , то появится и на входе DS и при следующем активном перепаде на входе C перепишется снова в триггер младшего разряда. Получается замкнутое кольцо циркуляции - отсюда и название счётчика.

Из рисунка 9.7 видно, что частота появления импульсов на любом выходе счетчика в три раза меньше, чем частота импульсов на входе C , и число различных состояний выхода тоже три, т.е. модуль счета $M = 3$. У используемого кода единица есть только в одном разряде. Такой код называется унитарным. Модуль счёта подобных счётчиков равен числу разрядов используемого регистра.

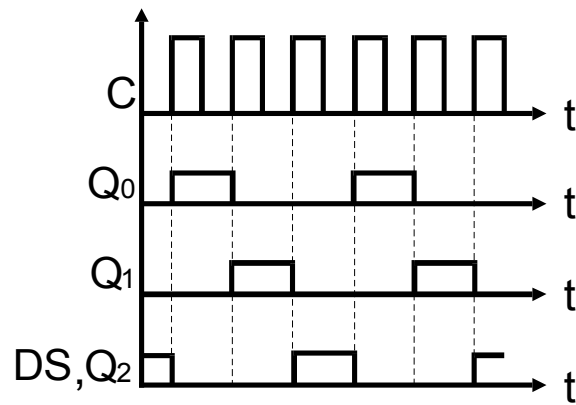


Рисунок 9.7

Модуль счета кольцевого счётчика можно увеличить, если выход последнего триггера соединить с последовательным входом DS через инвертор. Схема такого счётчика на базе регистра К155ИР1 показана на рисунке 9.8. Для удобства рассмотрения работы со входом DS соединен второй разряд. Временная диаграмма работы счетчика показана на рисунке 9.9.

Перед началом работы (до момента t_1) в младший разряд регистра записывается единица, в остальные - нули. В момент t_1 происходит сдвиг информации на выходах, а на выход Q_0 переписывается единица, находящаяся в этот момент на входе DS и т.д.

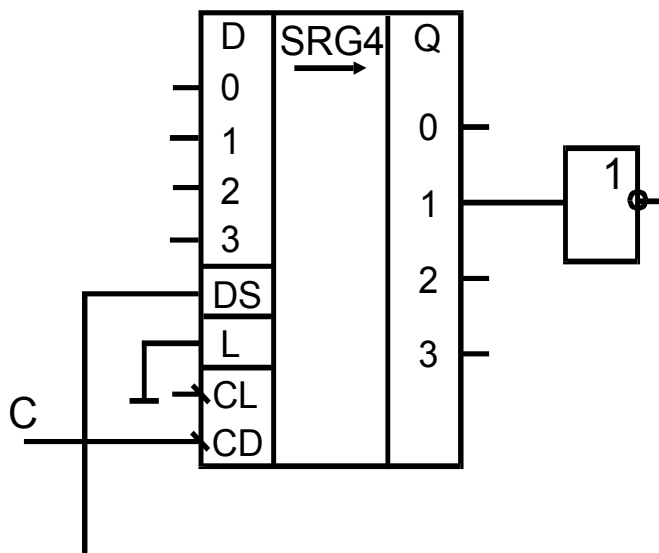


Рисунок 9.8

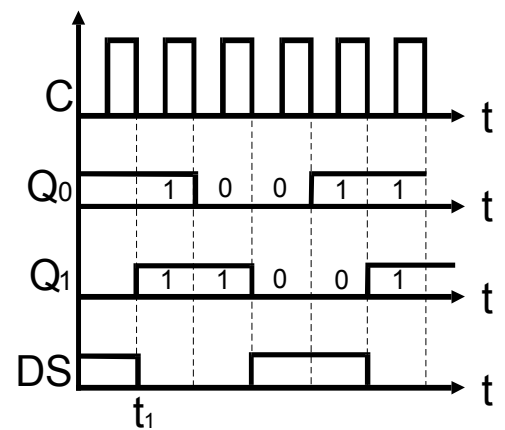


Рисунок 9.9

Из временной диаграммы видно, что на любом выходе появляется периодически чередующаяся последовательность единиц и последовательность нулей ...110011001100... Такая последовательность называется кодом Джонсона, а счётчики, где она применяется - счётчиками Джонсона. Модуль счета данного счётчика $M = 4$, т.к. используются четыре различные комбинации выходных сигналов. Модуль счёта счетчика Джонсона, построенного на базе готового регистра по схеме рисунка 9.8 четный и равен $M = 2(n + 1)$, где n - номер выхода, который через инвертор подключен к входу DS. Длина последовательностей нулей (единиц) равна числу используемых разрядов регистра.

Чтобы получить нечетный модуль счета, необходимо исключить одно из состояний счетчика. Наиболее просто исключается состояние, где во всех разрядах единицы. Одна из возможных схем, реализующих это на готовом регистре К155ИР1, показана на рисунке 9.10.

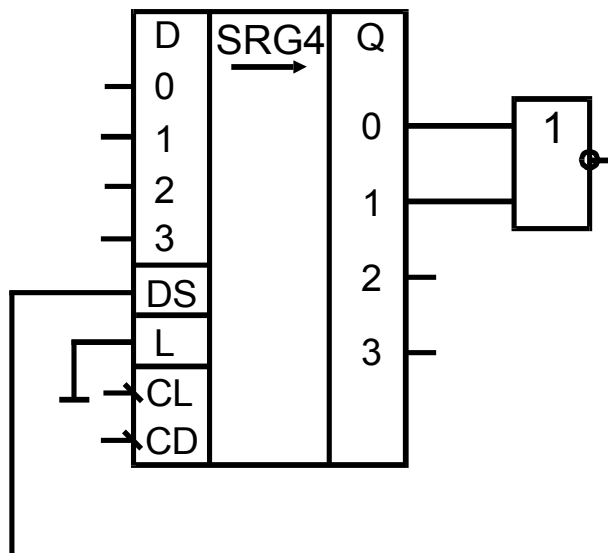


Рисунок 9.10

Один вход элемента ИЛИ - НЕ подключен к выходу Q_n , а другой к выходу Q_{n-1} ($n = 1, 2, \dots$). Модуль счета при этом $M = 2(n + 1) - 1 = 2n + 1$. В данной схеме $n = 1$, а модуль счетчика $M = 3$.

При использовании кольцевого счетчика в качестве делителя частоты выходной сигнал можно снимать с любого выхода регистра или с элемента, выход которого подключен к входу DS.

Модуль счета кольцевых счётчиков меньше чему счётчиков на базе Т-триггеров. Это их недостаток. Другим недостатком является то, что в результате сбоя в одном из разрядов может появиться единица (или нуль) там, где её не должно быть. В результате она будет циркулировать наряду со штатными единицами (нулями) и модуль счёта изменится. Для устранения этого недостатка создают схему загрузки начальной комбинации в каждом цикле счёта. При этом, если и произойдет сбой, то только в одном цикле.

Достоинством кольцевых счётчиков является большее быстродействие чем у счетчиков на Т-триггерах. Как видно из рисунка 9.6, в схеме нет других элементов кроме D - триггеров. Срабатывают они одновременно и поэтому быстродействие определяется временем срабатывания только одного триггера.

Счётчики Джонсона выпускаются в интегральном исполнении в некоторых сериях микросхем.

9.3 Порядок выполнения работы

9.3.1 Выполняется при подготовке к работе.

а) Ознакомиться с описанием лабораторного стенда и правилами сборки схем.

б) Используя имеющиеся на стенде триггеры и другие элементы разработать по индивидуальному заданию один из следующих регистров сдвига: реверсивный двух или трехразрядный; двух или трехразрядный с параллельной загрузкой и сдвигом вправо.

в) Построить временную диаграмму процесса последовательной записи в регистр K155ИР1 через вход DS заданной комбинации.

г) Разработать на базе регистра K155ИР1 счетчик Джонсона с заданным модулем счета и построить временную диаграмму работы.

д) Подготовить протокол отчета, в который внести разработанные схемы и временные диаграммы.

9.3.2 Выполняется на лабораторном занятии.

а) Собрать и проверить правильность работы схемы, разработанной в подпункте 9.3.1 б).

б) Записать последовательным и параллельным способом заданную двоичную комбинацию. Проверить правильность построения временной диаграммы. Сдвинуть её на два разряда вправо.

в) Собрать разработанный счетчик Джонсона и проверить по временной диаграмме правильность его работы.

9.4 Методические указания

При разработке регистров на базе триггеров использовать при необходимости имеющийся на стенде готовый мультиплексор K155КП2, а если его недостаточно, собрать дополнительный из ЛЭ

Временная диаграмма счётчика должна содержать 1,5...2 цикла счёта. Начинать её построение нужно, когда в младшем разряде единица, а в остальных нули. Перед проверкой работы счётчика записать в регистр эту же комбинацию.

При разработке и проверке схем на базе регистра K155ИР1 входы СL (С2) и СD(С1) можно объединить в один общий синхронизирующий вход параллельной записи и сдвига.

Если подключить к выходам регистра гнезда А ...D индикатора (D к младшему разряду и т.д.) и поставить перемычку между контактами 5 и 6 разъема X1, то индикатор будет показывать в шестнадцатеричном коде двоичную комбинацию, находящуюся в регистре.

9.5 Варианты задания

9.5.1 Комбинация для последовательной записи в регистр.

1) 0001	2) 0010	3) 0011	4) 0100	5) 0101
6) 0110	7) 0111	8) 1000	9) 1001	10) 1010
11) 1011	12) 1100	13) 1101	14) 1110	15) 0001
16) 0010	17) 0011	18) 0100	19) 0101	20) 01110
21) 0111	22) 1000	23) 1001	24) 1010	25) 1011
26) 1100	27) 1101	28) 1110	29) 1010	30) 0101

9.5.2 Модуль счёта для счётчика Джонсона.

1) 2	2) 3	3) 4	4) 5	5) 6	6) 7	7) 8	8) 2
9) 3	10) 4	11) 5	12) 6	13) 7	14) 8	15) 8	16) 7
17) 6	18) 5	19) 4	20) 3	21) 2	22) 8	23) 7	24) 6
25) 5	26) 4	27) 3	28) 2	29) 5	30) 3		

9.6 Контрольные вопросы

9.6.1 Что такое регистр памяти, как он построен и где может применяться?

9.6.2 Что такое регистр сдвига, как он построен и где может применяться?

9.6.3 Разработать схему трехразрядного регистра памяти с использованием RS-триггеров, JK-триггеров.

9.6.4 Разработать схему трехразрядного регистра сдвига с использованием динамических RS-триггеров, JK-триггеров.

9.6.5 С помощью регистра K155ИР1 и триггера K155ТМ2, имеющих на стенде разработать схему пятиразрядного регистра памяти; регистра сдвига.

9.6.6 Разработайте схему записи единицы в младший разряд кольцевого счетчика на базе регистра K155ИР1 перед началом каждого цикла счета.

9.6.7 Что такое кольцевые счётчики, какие у них достоинства и недостатки?

9.6.8 Что такое счётчик Джонсона и как его построить на базе сдвигающего регистра?

9.6.9 Как построить кольцевой счетчик на базе счетчика K155ИЕ5 и дешифратора 4x1?

9.6.10 Разработайте схему четырехразрядного реверсивного регистра на базе регистра K155ИР1. (Для этого необходимо определенным образом соединить выходы и входы и использовать вход CL(C2)).

СПИСОК ЛИТЕРАТУРЫ

- 1 Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре – Л.: Энергоатомиздат, 1986.-280с.
- 2 Опадчий А. Аналоговая и цифровая электроника – М.: «Горячая линия. Телеком», 1999.-768с.
- 3 Пухальский Г.И. Цифровые устройства - Санкт-Петербург.: «Политехника», 1996.-886с.
- 4 Пухальский Г.И. Проектирование дискретных устройств на интегральных микросхемах – М.: «Радио и связь», 1990.-304с.
- 5 Потемкин И.С. Функциональные узлы цифровой автоматики – М.: Энергоатомиздат, 1988.-320с.
- 6 Хоровиц П. Хилл У. Искусство схемотехники – М.: «Мир», 1998.-704с.

ПРИЛОЖЕНИЕ А

Образец заполнения титульного листа отчёта о лабораторной работе

Министерство образования и науки Республики Казахстан

**ВОСТОЧНО-КАЗАХСТАНСКИЙ ГОСУДАРСТВЕННЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**
им.Д.Серикбаева

Кафедра приборостроения и автоматизации технологических процессов

ИССЛЕДОВАНИЕ ТРИГГЕРОВ

Лабораторная работа № 4

Специальность	050716
Группа	06ПС1
Студент	Иванов И.И.
Преподаватель	П.В.Селиванов

Усть-Каменогорск
2006