8. АРИФМЕТИЧЕСКИЕ УСТРОЙСТВА

Полусумматор – цифровое устройство, реализующее арифметическое сложение в младшем разряде. При сложении двух чисел A и B в полусумматоре складывается содержимое младших разрядов A0 и B0 .

Результат сложения представляет собой сумму S (*sum*) и перенос T (*transfer to next digit*).

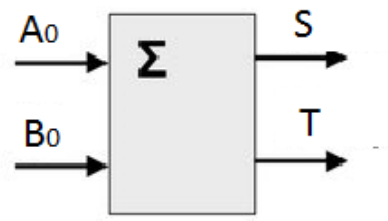


Рис. 8.1. Обозначение полусумматора на схеме

Таблица истинности полусумматора соответствует правилам сложения в младшем разряде.

Таблица 8.1

Таблица истинности полусумматора

A0	B0	S	T
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Булево выражение записываем в соответствие с таблицей истинности:

$$S = A0\overline{B0} + \overline{A0}B0 = A0 \oplus B0$$

$$T = A0 \cdot B0$$

Схема «полусумматора» реализуется с помощью двух логических элементов: конъюнктора и «исключающего ИЛИ»

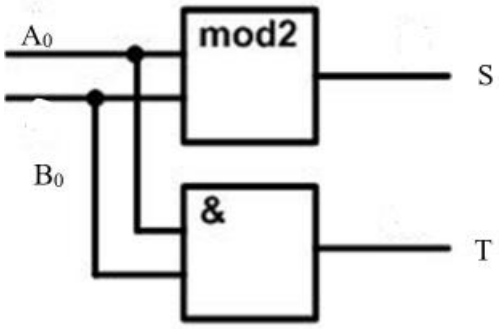


Рис. 8.2. Схема полусумматора на основе логических элементов

Полный сумматор – устройство, реализующее сложение в произвольном разряде. Правила сложения в произвольном разряде должны учитывать возможный перенос из предыдущего разряда (Твх). Таким образом, устройство должно иметь три входа: A, B, Твх и два выхода: S и Твых

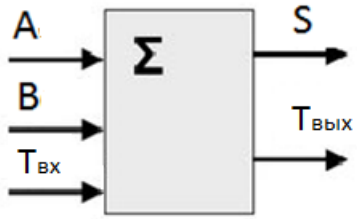


Рис. 8.3. Обозначение сумматора на схеме

Таблица 8.2

Таблица истинности сумматора

A	B	Твх	S	Твых
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Булево выражение записываем в соответствие с таблицей истинности:

$$S = A\bar{B}\bar{T}\text{вх} + \bar{A}B\bar{T}\text{вх} + \bar{A}\bar{B}T\text{вх} + ABT\text{вх}$$

$$Твых = AB\bar{T}\text{вх} + A\bar{B}T\text{вх} + \bar{A}BT\text{вх} + ABT\text{вх}$$

После упрощения булево выражение будет иметь вид:

$$S = A \oplus B \oplus \text{Твх}$$

$$Твых = AB + (A \oplus B) \cdot T\text{вх}$$

Схема «полного сумматора» реализуется с помощью логических элементов: двух элементов «конъюнктор» (&), двух «исключающее ИЛИ» (mod 2) и одного элемента «дизъюнктор» (1) :

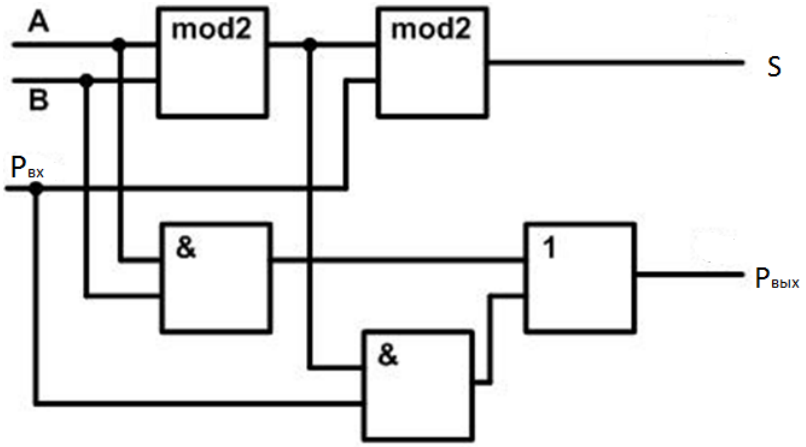


Рис. 8.4. Схема сумматора на основе логических элементов

Многоразрядный сумматор – устройство, реализующее сложение многоразрядных чисел A + B.

a3 a2 a1 a0 + b3 b2 b1 b0 = c4 c3 c2 c1 c0

Многоразрядный сумматор может быть реализован в параллельной и последовательной форме. На рисунке 8.5 представлена схема параллельного сумматора. В нем значения разрядов чисел A и B одновременно поступают на входы одноразрядных сумматоров. Сумма формируется на выходах одноразрядных сумматоров: s0, s1, s2, s3.

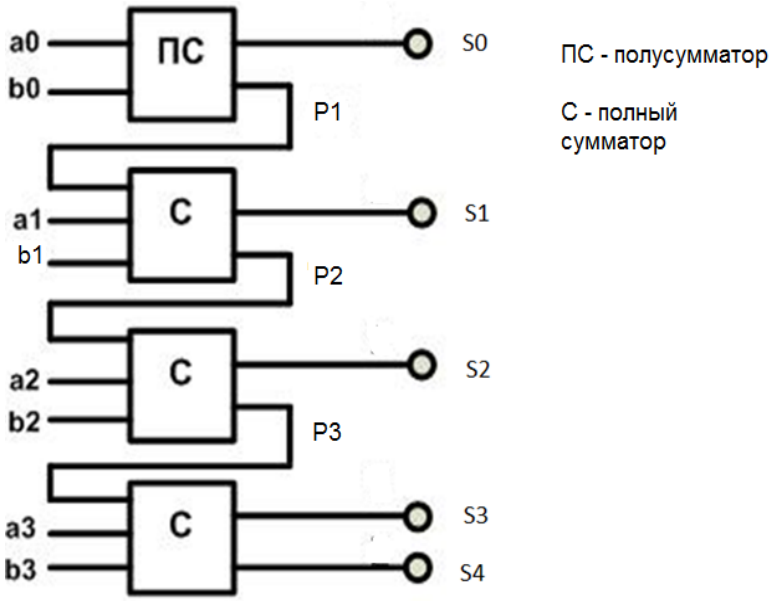


Рис. 8.5. Схема параллельного 4-х разрядного сумматора
(ПС – полусумматор; С – сумматор)

Последовательный сумматор состоит из трех регистров сдвига: RGA, RGB, RGS, полного сумматора (реализующего сложение в одном разряде), D-триггера, осуществляющего задержку переноса на 1 такт. Регистры и D-триггер синхронизированы. Результат сложения фиксируется в регистре RGS.

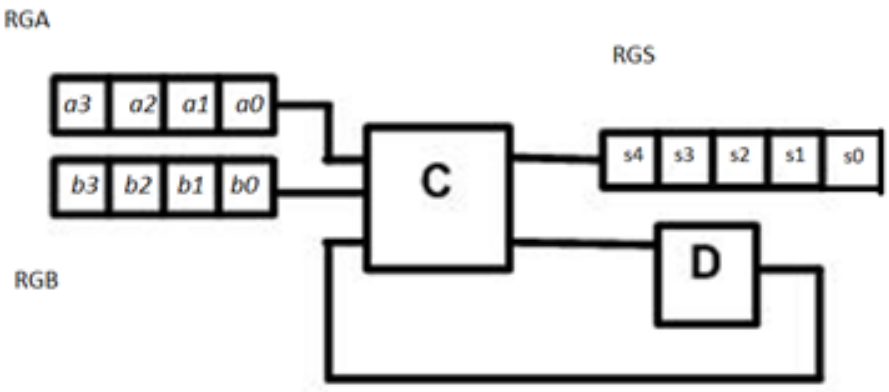


Рис. 8.6. Структурная схема последовательного 4-х разрядного сумматора

Контрольные вопросы

1. Приведите таблицу истинности полусумматора и его обозначение на схеме.
2. Нарисуйте схему полусумматора на основе логических элементов.
3. Приведите таблицу истинности полного сумматора и его обозначение на схеме.
4. Нарисуйте схему полного сумматора на основе логических элементов.
5. Нарисуйте схему параллельного 4-х разрядного сумматора.
6. Нарисуйте схему последовательного 4-х разрядного сумматора.