5. ПОСЛЕДОВАТЕЛЬНЫЕ ЛОГИЧЕСКИЕ СХЕМЫ. ТРИГГЕРЫ

Комбинационными логическими схемами называются устройства, у которых логические сигналы на выходе связаны с входными сигналами так же, как связаны значения логической функции со значениями ее аргументов. Сигнал на выходе вырабатывается сразу после подачи сигналов на вход, в тот же момент времени.

Последовательные логические схемы (последовательные цифровые устройства, цифровые автоматы) – в отличие от комбинационных логических схем имеют некоторое число различных внутренних состояний. Под воздействием входных сигналов последовательная логическая схема:

1) Переходит из одного состояния в другое;

2) Вырабатывает выходной сигнал y.

Выходной сигнал последовательной логической схемы (цифрового автомата) в конкретный момент времени определяется:

– входной последовательностью, поступившей в этот момент времени;

– внутренним состоянием цифрового автомата, которое является результатом воздействия на автомат входных сигналов, поступивших в предыдущие моменты времени.

Рассмотрим последовательные логические схемы на примере триггера.

Триггер – это цифровое логическое устройство, которое может неограниченно долго находиться в одном из двух устойчивых состояний («1» или «0») и скачкообразно переключаться из одного состояния в другое под воздействием внешнего сигнала.

В триггере выходы должны находиться в противоположных (комплементарных) состояниях. При несоблюдении этого условия триггер теряет триггерное свойство.

Классификация триггеров

В зависимости от *способа управления* различают:

- RS-триггер с двумя управляющими входами
- D-триггер с одним управляющим входом
- JK-триггер с двумя управляющими входами, не имеет запрещенных состояний;
- T-триггер с одним счетным входом.

По *способу записи информации* триггеры подразделяются на асинхронные и синхронные.

Асинхронный (нетактируемый) триггер имеет только управляющие входы. Переключается сразу после поступления сигнала на один из входов.

Синхронный (тактируемый) триггер имеет управляющие и синхронизирующие (тактирующие) входы. Триггер переключается (при поступлении сигналов на информационные входы) после поступления синхросигнала. При отсутствии синхроимпульса триггер не переключается.

Триггер с прямыми входами переключается по (от) логической «1». Триггер с инверсными входами переключается по (от) логическому «0».

Работа триггеров описывается с помощью таблицы истинности и временной диаграммы. Временная диаграмма показывает уровни напряжения и временные интервалы для входных и выходных сигналов. Она соответствует той картине, которую бы мы наблюдали на экране осциллографа.

Асинхронный RS-триггер с прямыми входами

Триггер имеет два раздельных информационных входа:

S – от английского *set* – устанавливать.

R – *reset* – возвращать в исходное состояние.

В триггере выходы должны находиться в противоположных (комплементарных) состояниях.

Q – прямой выход;

$\bar{Q}$ – инверсный выход.

Триггер реализуется на элементах ИЛИ-НЕ. В структуре двух элементов ИЛИ-НЕ создадим положительную обратную связь – входы одного элемента соединим с выходами другого (рис. 5.1).

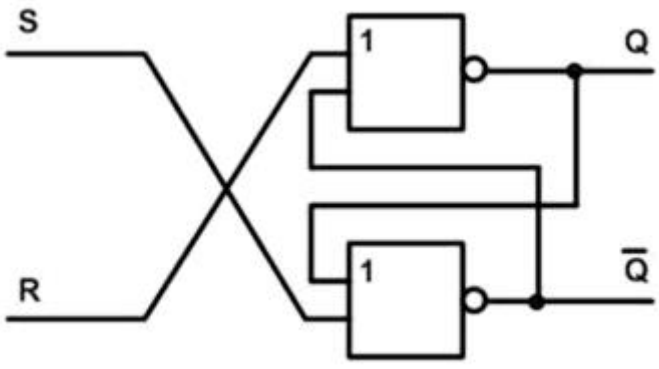


Рис. 5.1. Схема RS-триггера

Важное свойство элемента «ИЛИ-НЕ», что при подаче логической «1» на любой его вход на выходе будет всегда логический «0».

Рассмотрим все возможные комбинации на входе RS-триггера. Это соответственно состояния:

S = 1, R = 0

S = 0, R = 1

S = 0, R = 0

S = 1, R = 1

1. При S=1, R=0 на инверсном выходе триггера будет логическая «0», а на верхнем элементе «ИЛИ-НЕ» на оба входа будет подан логический «0», что даст на прямом выходе триггера логическую «1».

Q = 1, $\bar{Q}$ = 0 – установка логической «1»

2. S = 0, R = 1 тогда на прямом выходе триггера будет логический «0», а на нижнем элементе «ИЛИ-НЕ» на оба входа будет подан логический «0», что даст на инверсном выходе триггера логическую «1».

Q = 0, $\bar{Q}$ = 1 – установка «0», сброс.

3. S = 0, R = 0, тогда состояние триггера будет зависеть от его предыдущего состояния в момент времени t-1.

3.1. Допустим, его предыдущее состояние было

Q (t-1) = 1, $\overline{Q(t-1)} = 0$.

Тогда на оба входа верхнего элемента «ИЛИ-НЕ» будут поданы логические «0», и на прямом выходе триггера будет логическая «1». На инверсном выходе триггера будет «0».

3.2. (S = 0, R = 0)

Допустим, его предыдущее состояние было Q (t – 1) = 0, $\overline{Q(t-1)} = 1$. Тогда на оба входа нижнего элемента «ИЛИ-НЕ» будут поданы логические «0», и на инверсном выходе триггера будет «1». На прямом выходе будет «0». Таким образом, при S = 0, R = 0, в обоих случаях, состояние выходов триггера не меняется – реализуется режим хранения.

4. S = 1, R = 1, тогда на обоих выходах установится логический «0». Триггер теряет триггерное свойство. Это состояние является неустойчивым, называется запрещенным состоянием и не используется.

Таблица 5.1.

Таблица истинности RS-триггера с прямыми входами

S	R	$Q\,(t)$	$\bar{Q}(t)$	Функция
1	0	1	0	Установка «1»
0	1	0	1	Сброс
0	0	$Q\,(t\text{-}1)$	$\bar{Q}(t-1)$	Режим хранения
1	1			Запрещенное состояние

Асинхронный RS-триггер с инверсными входами

Триггер с инверсными входами переключается по логическому «0». Триггер реализуется на элементах И-НЕ. В структуре двух элементов И-НЕ создадим положительную обратную связь – входы одного элемента соединим с выходами другого.

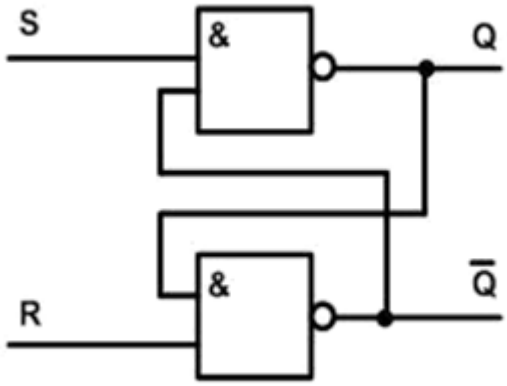


Рис. 5.2. Структурная схема асинхронного RS-триггера

Отметим важное свойство элемента «И-НЕ»: при подаче логической «0» на любой его вход на выходе всегда будет логическая «1». Рассмотрим все возможные комбинации на входе RS-триггера.

1. $S = 1,\ R = 0$
2. $S = 0,\ R = 1$
3. $S = 1,\ R = 1$
4. $S = 0,\ R = 0$

1. $S = 1$, $R = 0$. Тогда на инверсном выходе триггера будет логическая «1», а на верхнем элементе «И-НЕ» на оба входа будет подана логическая «1» (во втором случае – снизу за счет обратной связи), что даст на прямом выходе триггера логический «0».

$Q = 0$, $\bar{Q} = 1$ – сброс

2. $S = 0$, $R = 1$. Тогда на инверсном выходе триггера будет логический «0», а на верхнем элементе «И-НЕ» на оба входа будет подан логический «0», что даст на прямом выходе триггера логический «1».

Q = 1, $\bar{Q} = 0$ – установка «1»

3. S = 1, R = 1. В этом случае состояние триггера будет зависеть от его предыдущего состояния.

3.1. Допустим, его предыдущее состояние было $Q = 1$ $\bar{Q} = 0$

Тогда на оба входа нижнего элемента «И-НЕ» будут поданы логические «1», и на инверсном выходе триггера будет логический «0». На прямом выходе триггера будет «1»

3.2. Допустим, его предыдущее состояние было

$Q = 0$, $\bar{Q} = 1$

Тогда на оба входа верхнего элемента «И-НЕ» будут поданы логические «1», и на прямом выходе триггера будет «0». На инверсном выходе будет «1».

Таким образом, при S = 1, R = 1, в обоих случаях, состояние триггера не меняется и реализуется режим хранения.

4. S = 0, R = 0. Тогда на обоих выходах установится логическая «1». Триггер теряет триггерное свойство. Это состояние является неустойчивым, называется запрещенным состоянием и не используется.

Таблица 5.2.

Таблица истинности RS-триггера с инверсными входами

S	R	$Q\,(t)$	$\bar{Q}(t)$	Функция
1	0	0	1	Сброс
0	1	1	0	Установка «1»
1	1	$Q\,(t\text{-}1)$	$\bar{Q}(t-1)$	Режим хранения
0	0			Запрещенное состояние

Синтез асинхронного RS-триггера с прямыми входами

Решение задачи синтеза логических элементов рассмотрим на примере синтеза асинхронного RS-триггера с прямыми входами.

Постановка задачи:

Необходимо синтезировать логическое устройство со следующими свойствами:

1. При S = 0 и R = 0 триггер сохраняет предыдущее состояние.
2. При S = 1 и R = 0 происходит установка «1».
3. При S = 0 и R = 1 происходит сброс.
4. Состояние S = 1 и R = 1 запрещено.

Эти требования можно записать в полной таблице истинности (табл.5.3), в которой учитываются предыдущие состояния.

Таблица 5.3. Полная таблица истинности логического устройства

Q(t-1)	*S(t)*	*R(t)*	Режим	*Q(t)*	$\overline{Q(t)}$
0	0	0	Режим хранения	0	1
1	0	0	Режим хранения	1	0
0	1	0	«1»	1	0
1	1	0	«1»	1	0
0	0	1	сброс	0	1
1	0	1	сброс	0	1
0	1	1	Запрещенное состояние	-	-
1	1	1	Запрещенное состояние	-	-

Инверсный выход на предыдущем такте рассматривать не нужно, так как его состояние не случайно (определено состоянием прямого выхода).

Записываем булево выражение:

$$Q\ (t) = Q(t-1)\bar{S}(t)\bar{R}(t) + \bar{Q}(t-1)S(t)\bar{R}(t) + Q(t-1)S(t)\bar{R}(t) \quad (5.1)$$

$$\bar{Q}\,(t) = \bar{Q}(t-1)\bar{S}(t)\bar{R}(t) + \bar{Q}(t-1)\bar{S}(t)R(t) + Q(t-1)\bar{S}(t)R(t) \quad (5.2)$$

Упростим выражения, используя дистрибутивный закон, получим:

$$Q\,(t) = \bar{R}(t)[Q(t-1) + S(t)] \quad (5.3)$$

$$\bar{Q}\,(t) = \bar{S}(t)[\bar{Q}(t-1) + R(t)] \quad (5.4)$$

Умножим обе части первого уравнения на $\bar{R}(t)$, второго уравнения на $\bar{S}(t)$, и с учетом того, что $xx = x$, получим:

$$Q(t)\overline{R}(t) = \overline{R}(t)\,[Q(t-1) + S(t)] = Q(t) \quad (5.5)$$

$$\overline{Q}(t)\overline{S}(t) = \overline{S}(t)\,[\overline{Q}(t-1) + R(t)] = \overline{Q}(t) \quad (5,6)$$

Далее, на основе второй теоремы Де-Моргана, согласно которой отрицание дизъюнкции есть не что иное, как конъюнкция отрицаний

$$\overline{x\ y} = \bar{x} + \bar{y}, \quad (5.7)$$

проинвертировав левую и правую часть, получим 5.8

$$xy = \overline{\bar{x} + \bar{y}} \quad (5.8)$$

Подставив вместо x и y $Q\ (t)$ и $R(t)$, получим булево выражение для синтезируемого устройства:

$$Q(t) = \overline{\bar{Q}(t) + R(t)} \quad (5.9)$$

$$\bar{Q}(t) = \overline{Q(t) + S(t)} \quad (5.10)$$

Схема реализуется на логических элементах ИЛИ-НЕ с учетом положительной обратной связи.

Синхронные (тактируемые триггеры). Гонка сигналов.

На входы логических элементов схемы сигналы поступают не одновременно, так как перед этим они могут проходить через разное число элементов с различной задержкой. Это явление называют гонкой сигналов.

В результате, в течение некоторого времени на входах создается непредвиденная ситуация: новые значения одних сигналов сочетаются с предыдущими значениями других сигналов. Это может вызвать ложное срабатывание устройств.

Гонку сигналов можно устранить за счет временной синхронизации, когда на логический элемент, кроме информационных сигналов, поступают тактирующие (синхронизирующие) импульсы.

Синхронный, или тактируемый, триггер кроме информационных входов имеет синхронизирующий (тактирующий, тактовый) вход С (от англ. *Clock* – часы). По тому, как осуществляется управление (синхронизация) триггера, синхронизирующие входы подразделяются на статические и динамические.

При статической синхронизации управление осуществляется *уровнем* синхросигнала. Синхровход находится в активном состоянии во время действия синхроимпульса. Статический вход не теряет своего управляющего свойства, пока на нем присутствует тактовый синхроимпульс. При динамической синхронизации управление осуществляется *фронтом* синхроимпульса (передним или задним). При управлении фронтами разрешение на запись информации дается только в момент перепада тактового импульса:

– от нуля к единице (по переднему фронту – прямой динамический синхровход);

– от единицы к нулю (по заднему фронту, или по срезу импульса – инверсный динамический синхровход).

Тактируемый RS-триггер со статическим управлением

Схема триггера представлена на рис. 5.3.

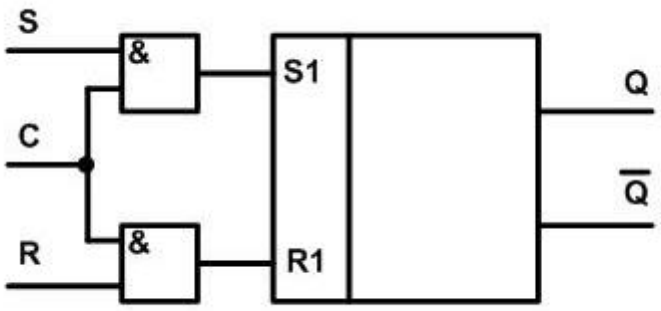


Рис. 5.3. Структурная схема тактируемого RS-триггера

Таблица 5.4.

Таблица истинности тактируемого RS-триггера

C	S	R	$Q(t)$	$\bar{Q}(t)$
0	1,0	1,0	$Q(t\text{-}1)$	$\bar{Q}(t\text{-}1)$
1	1	0	1	0
1	0	1	0	1

1	0	0	$Q(t\text{-}1)$	$\bar{Q}(t\text{-}1)$
1	1	1	-	-

Работа триггера представлена в таблице истинности (табл. 5.4), в которой необходимо учитывать состояния синхровхода *C*. Значение $C = 1$ означает, что синхровход находится в активном состоянии.

В том случае, когда синхровход не находится в активном состоянии, триггер находится в состоянии хранения. Переключение триггера возможно только после поступления синхроимпульса.

Синхронные триггеры

Синхронный двухступенчатый RS-триггер относится к классу MS-устройств.

Состоит из двух синхронных двухступенчатых RS-триггеров, соединенных через инвертор по синхронизирующему входу. Информационными сигналами для второго триггера будут выходные сигналы первого триггера.

Первый триггер носит название M (*master* – дословно: «хозяин», т.е. ведущий, основной).

Второй триггер носит название S (*slave* – дословно: «раб», т.е. ведомый, вспомогательный).

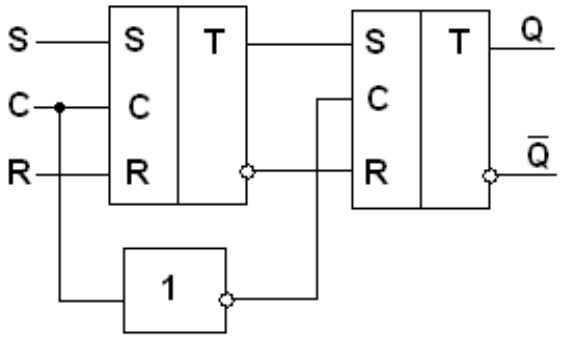


Рис. 5.4. Структурная схема двухступенчатого синхронного RS-триггера

Принцип действия:

1. Когда на синхровход первого триггера подана «1», то информация записывается в первую ступень по входам S и R.

Через инвертор на синхровход второй ступени подается логический «0». Вследствие этого вторая ступень заперта и не изменяет своего состояния.

2. Когда на синхровход первого триггера С подан логический «0», на входе второго триггера С будет логическая «1» и информация с первой ступени будет записана на вторую ступень, а первая ступень будет заперта.

В триггере реализуется динамический режим синхронизации. Переключение возможно по срезу синхроимпульса. Таблица истинности MS-триггера представлена в таблице ниже:

Таблица 5.5

Таблица истинности синхронного двухступенчатого RS-триггера.

C *по срезу синхроимпульса*	S	R	$Q(t)$	$\bar{Q}(t)$
0	1, 0	1, 0	$Q(t\text{-}1)$	$\bar{Q}(t\text{-}1)$
1	1	0	1	0
1	0	1	0	1
1	0	0	$Q(t\text{-}1)$	$\bar{Q}(t\text{-}1)$
1	1	1	–	–

В синхронном триггере осуществляется синхронное переключение выходов. Синхронная работа очень важна для работы компьютера, где каждый шаг вычислительного процесса должен следовать в строго определенном порядке. Триггер может оставаться в неизменном состоянии даже при некоторых изменениях входных сигналов, триггер «запоминает» некоторое состояние.

В статическом RS-триггере возможно ложное срабатывание, во время активного состояния синхровхода. В динамическом RS-триггере ложное срабатывание имеет место на коротком интервале времени в окрестностях фронта или спада сигнала. Таким образом, динамический RS-триггер значительно более помехоустойчив.

Недостатком RS-триггера является наличие запрещенного состояния.

D-триггер

D-триггер получил свое название от англ. слова *delay* – задержка. Рассмотрим две основные разновидности D-триггеров:

1. Статический D-триггер (триггер–защелка), который управляется уровнем синхроимпульса.

2. Динамический D-триггер (триггер–задержка), который управляется фронтом синхроимпульса.

Асинхронный D-триггер

Если в RS триггере объединить оба входа, как показано на рисунке 5.5, а на пути DR включить инвертор, мы получим схему асинхронного D – триггера. Наличие инвертора в цепи DR приводит к тому, что любой сигнал на входе D приводит к появлению на входах RS-триггера S1 и R1 только двух комбинаций:

S1 = 1 и R1 = 0
S1 = 0 и R1 = 1

Таким образом, в D триггере нет запрещенных состояний.

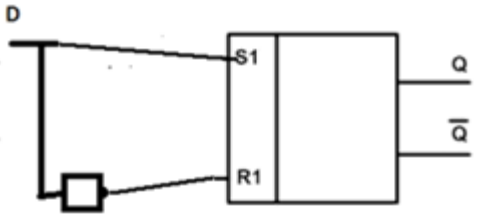


Рис. 5.5. Структурная схема асинхронного D-триггера

Синхронный триггер можно реализовать на основе асинхронного триггера, добавив синхровход и соответствующую входную логику.

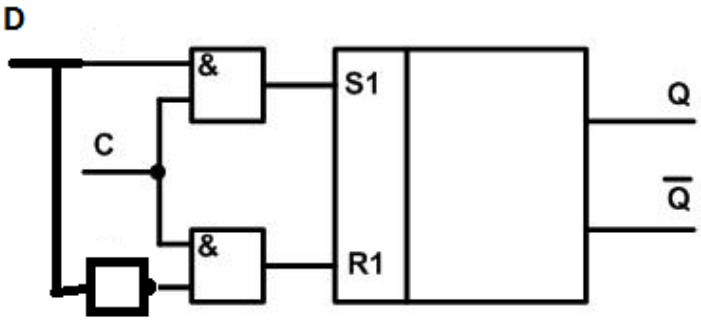


Рис. 5.6. Структурная схема синхронного D-триггера

Наличие инвертора в цепи DR приводит к тому, что любой сигнал на входе D приводит к появлению на входах RS-триггера S1 и R1 только трех разрешенных комбинаций:

S1 = 1 и R1 = 0 (C = 1)
S1 = 0 и R1 = 1 (C = 1)
S1 = 0 и R1 = 0 (C = 0)

Как и в случае асинхронного триггера, нет запрещенных состояний.

Реализуется статическая синхронизация по *уровню* синхроимпульса. D-триггер «следит» за изменением сигнала на входе во время действия синхросигнала и сохраняет ту информацию, которая имелась в момент его окончания. Он как бы защелкивает вход, поэтому и носит название триггер–защелка. Так как вход только один, то нет гонки сигналов. Триггер используется в быстродействующих устройствах.

Двухступенчатый D-триггер. MS-триггер

Двухступенчатый D-триггер состоит из двух триггеров. Первая ступень – статический D-триггер, вторая ступень – статический RS-триггер.

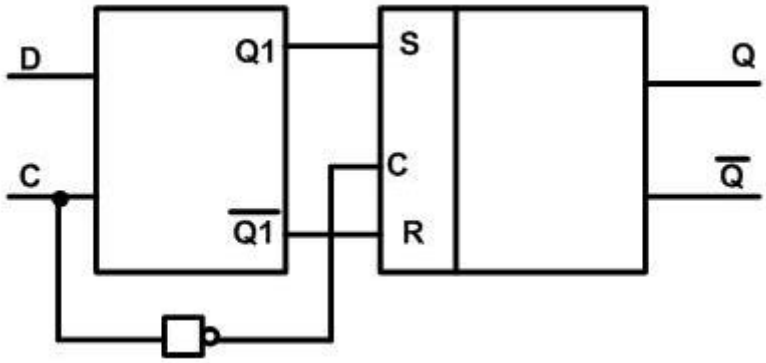


Рис. 5.7. Структурная схема двухступенчатого синхронного D-триггера

Данный триггер относится к классу MS-триггеров. Его работа аналогична работе двухступенчатого RS-триггера. Когда на синхровход первого триггера (D-триггера) подана «1», то информация записывается в первую ступень по входу D. Через инвертор на синхровход второй ступени подается логический «0». Вследствие этого вторая ступень «заперта» и не изменяет своего состояния. Когда на синхровход первого триггера C подан логический «0», на входе второго триггера C будет логическая «1» и информация с первой ступени будет записана на вторую ступень, а первая ступень будет «заперта».

В триггере реализуется динамический режим синхронизации: переключение возможно по *срезу* синхроимпульса, что повышает помехоустойчивость.

Так как выходной сигнал всегда задерживается на 1 такт, то этот триггер носит название «триггер-задержка».

JK-триггер

JK-триггер имеет два информационных входа J и K и один синхронизирующий вход C:

J – *jark* – внезапное включение;

K – *kill* – аннулирование;

C – синхронизирующий вход.

По тому, как осуществляется управление (синхронизация) триггера синхронизирующими импульсами, триггеры подразделяются на *статические* (синхронизация по уровню) и *динамические* (синхронизация по срезу). Кроме того, триггеры подразделяют на *одноступенчатые* и *двухступенчатые*.

Динамический одноступенчатый JK-триггер

Динамический одноступенчатый JK-триггер состоит из RS-триггера с инверсными входами и элементами входной логики, состоящими из элементов И-НЕ (рис. 5.8).

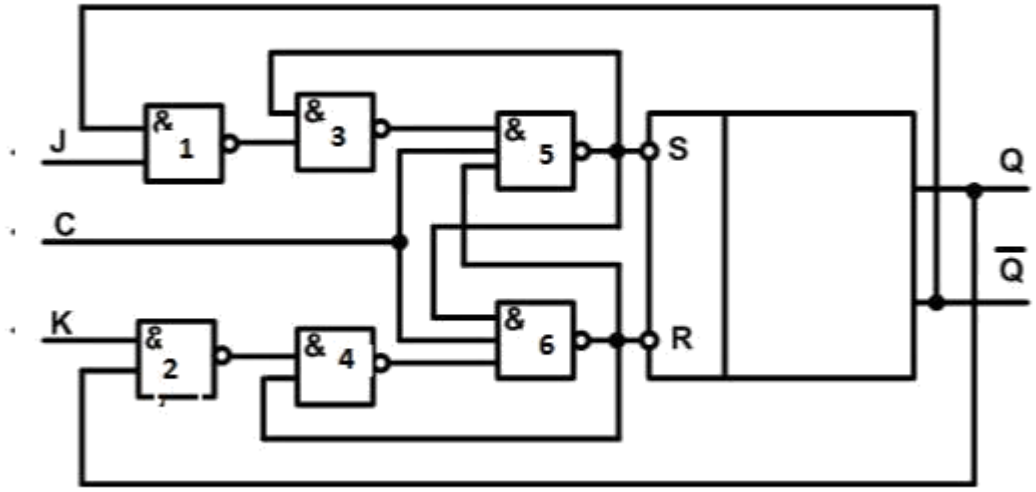


Рис. 5.8. Структурная схема одноступенчатого JK-триггера

Определяющие моменты работы триггера:

В такте C = 0, когда синхровход находится в неактивном состоянии, U5 = U6 = 1 (U5, U6 – это выходы элементов И-НЕ) и RS-триггер находится в режиме хранения.

Логика элементов 1-6 построена на элементах И-НЕ. На выходе элемента И-НЕ логический «0» будет только в случае, если на все входы

будет подана логическая «1». Таким образом, обратная связь элементов 5 и 6 делает невозможным «запрещенное состояние».

Триггер управляется синхроимпульсом по переднему фронту. Следовательно, обеспечивается высокая помехоустойчивость.

Нет запрещенных состояний. Обратная связь элементов 5 и 6 входной логики делает невозможным «запрещенное состояние». При одновременной подаче логической «1» на оба входа триггера (J и K) происходит «переключение» триггера при поступлении синхроимпульса C. Состояния выходов Q и $\overline{Q}$ меняются на противоположные. Это свойство JK-триггера используется при создании счетчиков.

В табл. 5.6 представлена таблица истинности JK-триггера.

Таблица 5.6

Таблица истинности JK-триггера

C *по переднему фронту синхроимпульса*	J	K	$Q(t)$	$\bar{Q}(t)$	Режим
0	1, 0	1, 0	$Q(t$-1$)$	$\bar{Q}(t$-1$)$	Хранение
1	1	0	1	0	Уст. 1
1	0	1	0	1	Сброс
1	0	0	$Q(t$-1$)$	$\bar{Q}(t$-1$)$	Хранение
1	1	1	$\bar{Q}(t$-1$)$	$Q(t$-1$)$	Переключение

Динамический двухступенчатый JK-триггер

Триггер состоит из следующих элементов: двух RS-триггеров с инверсными входами и четырех элементов входной логики, состоящей из элементов «И-НЕ».

Важной особенностью схемы «И-НЕ» является то, что логический «0» на выходе будет только в том случае, если на все входы подана логическая «1».

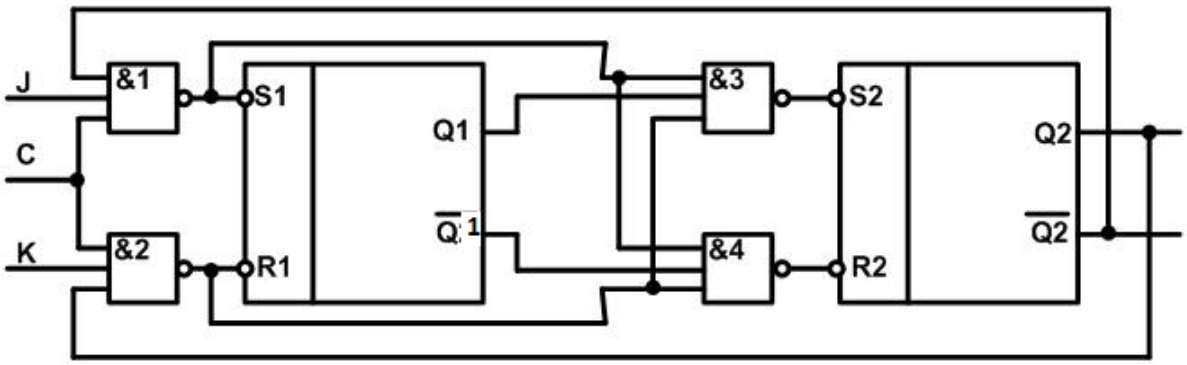


Рис. 5.9. Структурная схема двухступенчатого JK-триггера

Определяющие моменты работы триггера:

В такте C = 0, когда синхровход первого триггера находится в неактивном состоянии, U1 = U2 = 1 и RS-триггер T1 находится в режиме хранения (р.х.). Второй триггер отстает на один такт от первого:

Смена состояний у T1: р.х., «1», р.х., «0», р.х.

Смена состояний у T2: «0», р.х., «1», р.х., «0»,

«Запрещенное состояние» для триггера T1 невозможно (для этого нужно, чтобы оба выхода второго триггера находились в состоянии «1» и «1»).

Триггер управляется синхроимпульсом по заднему фронту (срезу). Следовательно, обеспечивается высокая помехоустойчивость. Нет запрещенного состояния. При одновременной подаче логической «1» на оба входа триггера (J и K) происходит «переключение» триггера при поступлении синхроимпульса.

Счетный триггер. Т-триггер.

Счетным триггером (Т-триггером) называется триггер, который переключается с поступлением тактового импульса на счетный вход. Рассмотрим идею реализации подсчета импульсов на примере JK-триггера. Если на оба входа J и K подать высокий потенциал (J = 1, K = 1), то при каждом поступлении импульсов на синхровход состояние триггера будет изменяться на противоположное. Поэтому синхровход (при J = 1, K = 1) можно использовать как счетный вход.